



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월13일
 (11) 등록번호 10-2055557
 (24) 등록일자 2019년12월09일

(51) 국제특허분류(Int. Cl.)
 G01S 17/08 (2006.01) G01S 7/491 (2006.01)
 G04F 10/00 (2006.01)
 (52) CPC특허분류
 G01S 17/08 (2013.01)
 G01S 7/4913 (2013.01)
 (21) 출원번호 10-2018-0004005
 (22) 출원일자 2018년01월11일
 심사청구일자 2018년01월11일
 (65) 공개번호 10-2019-0085758
 (43) 공개일자 2019년07월19일
 (56) 선행기술조사문헌
 KR1020100116488 A*
 (뒷면에 계속)

(73) 특허권자
 세종대학교산학협력단
 서울특별시 광진구 능동로 209 (군자동, 세종대학교)
 (72) 발명자
 이성주
 서울특별시 광진구 뚝섬로35길 32, 308동 1110호
 김영재
 경기도 용인시 기흥구 마북로 140, 106동 501호
 (74) 대리인
 홍성욱, 심경식

전체 청구항 수 : 총 12 항

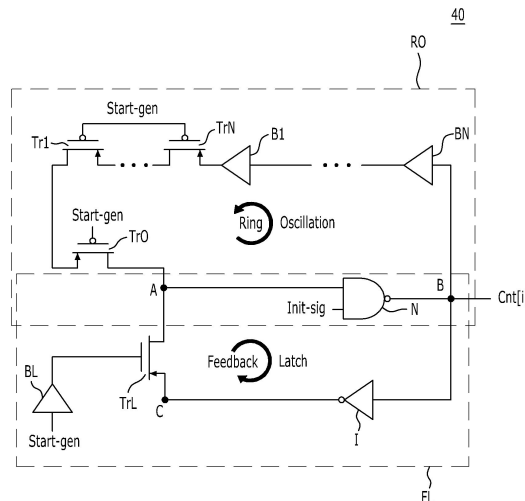
심사관 : 안문환

(54) 발명의 명칭 시간 디지털 변환 카운터 및 이를 포함하는 라이더 시스템

(57) 요약

본 발명은 시간 디지털 변환 카운터 및 이를 포함하는 라이더 시스템에 관한 것으로, 시간 디지털 변환 카운터는 적어도 하나의 제1 타입의 MOS 트랜지스터와 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트로 구성되는 링 오실레이션부, 및 상기 제1 타입과 상이한 제2 타입의 MOS 트랜지스터, 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼, 상기 낸드 게이트, 및 인버터로 구성되는 피드백 래치부를 포함한다. 본 발명에 의하면, 클럭속도를 증가시키지 않고도 아날로그 신호의 시간 차이를 정밀하게 카운팅하여 라이더 시스템에서 측정하는 거리의 해상도를 증가시킬 수 있다.

대표도 - 도4



(52) CPC특허분류
G04F 10/005 (2013.01)

(56) 선행기술조사문헌
KR1020090103744 A*
JP2013017123 A*
JP05288858 A*
JP06066938 A*
JP07280938 A*
KR1019980019184 A*
KR1020030091015 A*
KR1020080058588 A*
KR1020080095590 A*
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	1711060973
부처명	과학기술정보통신부
연구관리전문기관	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	자동차 ADAS 및 자율주행 지원을 위한 핵심 IP 개발
기여율	1/1
주관기관	한양대학교 에리카 산학협력단
연구기간	2017.07.01 ~ 2018.03.31

명세서

청구범위

청구항 1

시스템 클럭 펄스 동기화 신호를 기반으로 하는 제어 신호를 생성하여, 레이저의 송수신을 제어하는 마이크로 제어부;

상기 마이크로 제어부로부터 생성된 제어 신호에 따라 송신 신호를 물체로 전달하는 송신부;

상기 송신부에서 전달된 송신 신호가 상기 물체에서 반사된 신호를 수신 신호로 수신하는 수신부; 및

상기 송신 신호의 시작 시점과 수신 신호의 정지 시점을 미리 설정된 주기로 카운팅하고, 카운팅값을 상기 마이크로 제어부로 전달하는 시간 디지털 변환 카운터(TDC: Time to Digital Converting Counter);

를 포함하고,

상기 마이크로 제어부는, 상기 카운팅값을 이용하여 상기 물체의 거리를 계산하고,

상기 시간 디지털 변환 카운터는,

적어도 하나의 제1 타입의 MOS 트랜지스터와 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트로 구성되는 링 오실레이션부를 포함하는 라이더 시스템.

청구항 2

제1항에 있어서,

상기 시간 디지털 변환 카운터는,

상기 송신 신호를 상기 미리 설정된 주기로 카운팅하는 제1 시간 디지털 변환 카운터; 및

상기 수신 신호를 상기 미리 설정된 주기로 카운팅하는 제2 시간 디지털 변환 카운터;를 포함하여 구성되는, 라이더 시스템.

청구항 3

제1항에 있어서,

상기 시간 디지털 변환 카운터는,

상기 제1 타입과 상이한 제2 타입의 MOS 트랜지스터, 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼, 상기 낸드 게이트, 및 인버터로 구성되는 피드백 래치부;를 포함하여 구성되는, 라이더 시스템.

청구항 4

제3항에 있어서,

상기 링 오실레이션부와 상기 피드백 래치부는 상호적으로 작동하는, 라이더 시스템.

청구항 5

제3항에 있어서,

시작 신호 생성부로부터 제어신호 '0'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스

터를 온시켜 회로를 링 형태로 연결하고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 오프시키고, 상기 시작 신호 생성부로부터 제어신호 '1'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스터를 오프시키고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 온시켜 회로를 연결하는, 라이다 시스템.

청구항 6

제5항에 있어서,

상기 미리 설정된 주기는, 상기 링 오실레이션부를 구성하는 상기 적어도 하나의 제1 타입의 MOS 트랜지스터, 상기 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트의 지연(delay) 합인, 라이다 시스템.

청구항 7

제6항에 있어서,

상기 링 오실레이션부는, 상기 미리 설정된 주기로 토글링(toggling)한 결과를 카운팅하고,

상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼를 통해 지연시간을 유지한 후, 상기 제2 타입의 MOS 트랜지스터를 온시켜 회로를 연결하고, 상기 카운팅값을 유지하는, 라이다 시스템.

청구항 8

제5항에 있어서,

상기 마이크로 제어부는, 상기 송신 신호를 출력하기 전에, 상기 시작 신호 발생부에서 '0'과 '1'을 적어도 한 주기이상 출력시키도록 제어하여 상기 시스템 클럭 주기를 측정하는, 라이다 시스템.

청구항 9

제8항에 있어서,

상기 마이크로 제어부는, 상기 시스템 클럭 주기에 카운팅된 제1 카운터값(Cnt_{cycle}), 상기 시스템 클럭에 동기된 제2 카운터값(Cnt_{sync}), 상기 링 오실레이션부의 최대주기인 제3 카운터값($Cnt_{MaxRing}$), 및 상기 송신 신호 출력 구간 또는 상기 수신 신호 수신 구간에서 상기 피드백 래치부의 제4 카운터값(Cnt_{Latch})을 아래 수학적식에 적용하여 상기 시스템 클럭 주기와 상기 송신 신호의 시작 시점 사이의 시간차(X), 상기 시스템 클럭 주기와 상기 수신 신호의 정지 시점 사이의 시간차(X)를 계산하는, 라이다 시스템.

$$X = Cnt_{Latch} - ((Cnt_{cycle}) * (Cnt_{sync})) \% Cnt_{MaxRing}$$

청구항 10

제9항에 있어서,

상기 마이크로 제어부는, 상기 시스템 클럭 주기에 카운팅된 제1 카운터값(Cnt_{cycle}), 상기 시스템 클럭에 동기된 제2 카운터값(Cnt_{sync}), 및 상기 시스템 클럭 주기와 상기 송신 신호의 시작 시점 사이의 시간차(X), 상기 시스템 클럭 주기와 상기 수신 신호의 정지 시점 사이의 시간차(X)를 아래 수학적식에 적용하여 상기 시작 시점과 상기 정지 시점을 산출하는, 라이다 시스템.

$$start\ time = ((Cnt_{cyclic}) * (Cnt_{sync})) + X$$

청구항 11

적어도 하나의 제1 타입의 MOS 트랜지스터와 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트로 구성되는 링 오실레이션부; 및

상기 제1 타입과 상이한 제2 타입의 MOS 트랜지스터, 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼, 상기 낸드 게이트, 및 인버터로 구성되는 피드백 래치부;를 포함하는, 시간-디지털 변환 카운터.

청구항 12

제11항에 있어서,

시작 신호 생성부로부터 제어신호 '0'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스터를 온시켜 회로를 링 형태로 연결하고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 오프시키고,

상기 시작 신호 생성부로부터 제어신호 '1'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스터를 오프시키고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 온시켜 회로를 연결하는, 시간-디지털 변환 카운터.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 특성을 갖는 광신호를 디지털 신호로 변환하는 시간 디지털 변환 카운터 및 이를 포함하는 라이다 시스템에 관한 것이다.

배경 기술

[0002] 라이다 시스템(Lidar System)은 1930년대에 공기 밀도 분석을 위해 처음 나온 기술이다. 이후, 레이더(Radar)와 함께 연구되었으며, 거리의 정밀한 관측이 용이하다는 장점으로 인해 위성, 항공기 등에 탑재되었다. 라이다는 레이저 빛의 입사 단과장, 높은 직진성, 높은 에너지 밀도를 가지는 특성을 이용해 타겟으로부터 산란, 반사된 빛의 ToF(Time of Flight)를 측정한 뒤, ToF를 거리 공식에 대입하여 물체와 라이다 사이의 거리를 계산하는데 사용되고 있다.

[0003] 최근 들어, 라이다 시스템이 정확한 거리 및 대상 식별 정보를 수집하는 특성이 있기 때문에 자율주행차량, 야간 감시, 항공 및 해상탐지 등 많은 분야에서 활용가치가 확대되고 있다.

[0004] 도 1은 일반적인 라이다 시스템의 구성도를 개략적으로 도시한 도면이고, 도 2는 일반적인 라이다 시스템의 ToF를 계산하는 방법을 설명하기 위한 도면이다.

[0005] 도 1을 참조하면, 일반적으로 자율주행에 사용되는 라이다 시스템(10)은 송신기(1), 수신기(2), 신호처리 모듈(3)로 구성된다. 송신기(1)는 고풍력의 펄스형 레이저를 물체 방향으로 출력하고, 수신기(2)는 출력된 레이저의 반사광을 수신한다. 신호처리 모듈(3)은 레이저가 출력된 시점(start)과 반사광이 수신된 시점(stop) 사이의 시간(ToF)을 디지털 신호로 변환하여 라이다 시스템(10)과 물체 사이의 거리를 획득할 수 있다.

[0006] 그러나, 아날로그 특성을 갖는 광신호를 디지털 신호로 변환하는 과정에서 광신호를 클럭속도로 카운팅하는 방법을 사용하게 되면 거리 해상도가 정밀하게 획득되지 못하는 문제점이 있다.

[0007] 구체적으로, 도 2와 같이, 실제 ToF 시간(t2-t1)과 클럭속도로 카운팅된 ToF 시간(t4-t3)은 차이가 있고, 이로 말미암아 거리 해상도의 차이가 발생할 수 있다. 이와 같이, 해상도는 시간 디지털 변환 과정에서 카운팅하는 클럭속도에 따라 결정되므로, 클럭속도를 증가시키면 해상도의 정밀도를 높일 수 있다.

[0008] 대부분의 라이다 시스템에서 전력소모나 오실레이터 문제로 인해 GHz 이하 주기 클럭을 사용하게 되므로, 클럭속도를 무한히 증가시켜 해상도의 정밀도를 높이는 것은 전력소모를 증가시키고 오실레이터에 무리를 주는 문제

점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 링 오실레이션 회로의 게이트 딜레이를 이용하여 신호의 시간차이를 카운팅하는 시간 디지털 변환 카운터 및 이를 포함하는 라이더 시스템을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0010] 상기의 목적을 달성하기 위해 본 발명의 일 실시예에 따른 라이더 시스템은 시스템 클럭 펄스 동기화 신호를 기반으로 하는 제어 신호를 생성하여, 레이저의 송수신을 제어하는 마이크로 제어부, 상기 마이크로 제어부로부터 생성된 제어 신호에 따라 송신 신호를 물체로 전달하는 송신부, 상기 송신부에서 전달된 송신 신호가 상기 물체에서 반사된 신호를 수신 신호로 수신하는 수신부, 및 상기 송신 신호의 시작 시점과 수신 신호의 정지 시점을 미리 설정된 주기로 카운팅하고, 카운팅값을 상기 마이크로 제어부로 전달하는 시간 디지털 변환 카운터(TDC: Time to Digital Converting Counter)를 포함하고, 상기 마이크로 제어부는 상기 카운팅값을 이용하여 상기 물체의 거리를 계산할 수 있다.

[0011] 또한, 시간 디지털 변환 카운터는 상기 송신 신호를 상기 미리 설정된 주기로 카운팅하는 제1 시간 디지털 변환 카운터, 및 상기 수신 신호를 상기 미리 설정된 주기로 카운팅하는 제2 시간 디지털 변환 카운터를 포함하여 구성될 수 있다.

[0012] 또한, 시간 디지털 변환 카운터는 적어도 하나의 제1 타입의 MOS 트랜지스터와 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트로 구성되는 링 오실레이션부, 및 상기 제1 타입과 상이한 제2 타입의 MOS 트랜지스터, 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼, 상기 낸드 게이트, 및 인버터로 구성되는 피드백 래치부를 포함하여 구성될 수 있다.

[0013] 여기서, 링 오실레이션부와 상기 피드백 래치부는 상보적으로 작동할 수 있다.

[0014] 또한, 시작 신호 생성부로부터 제어신호 '0'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스터를 온시켜 회로를 링 형태로 연결하고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 오프시키고, 상기 시작 신호 생성부로부터 제어신호 '1'을 수신하는 경우, 상기 링 오실레이션부는 상기 제1 타입의 MOS 트랜지스터를 오프시키고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 온시켜 회로를 연결할 수 있다.

[0015] 여기서, 미리 설정된 주기는 상기 링 오실레이션부를 구성하는 상기 적어도 하나의 제1 타입의 MOS 트랜지스터, 상기 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트의 지연(delay) 합이 될 수 있다.

[0016] 또한, 링 오실레이션부는 상기 미리 설정된 주기로 토글링(toggling)한 결과를 카운팅하고, 상기 피드백 래치부는 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼를 통해 지연시간을 유지한 후, 상기 제2 타입의 MOS 트랜지스터를 온시켜 회로를 연결하고, 상기 카운팅값을 유지할 수 있다.

[0017] 또한, 마이크로 제어부는 상기 송신 신호를 출력하기 전에, 상기 시작 신호 발생부에서 '0'과 '1'을 적어도 한 주기이상 출력시키도록 제어하여 상기 시스템 클럭 주기를 측정할 수 있다.

[0018] 또한, 마이크로 제어부는 상기 시스템 클럭 주기에 카운팅된 제1 카운터값(Cnt_{cycle}), 상기 시스템 클럭에 동기된 제2 카운터값(Cnt_{sync}), 상기 링 오실레이션부의 최대주기인 제3 카운터값(Cnt_{MaxRing}), 및 상기 송신 신호 출력 구간 또는 상기 수신 신호 수신 구간에서 상기 피드백 래치부의 제4 카운터값(Cnt_{Latch})을 아래 수학적식에 적용하여 상기 시스템 클럭 주기와 상기 송신 신호의 시작 시점 사이의 시간차(X), 상기 시스템 클럭 주기와 상기 수신 신호의 정지 시점 사이의 시간차(X)를 계산할 수 있다.

[0019]
$$X = Cnt_{Latch} - ((Cnt_{cycle}) * (Cnt_{sync})) \% Cnt_{MaxRing}$$

[0020] 또한, 마이크로 제어부는 상기 시스템 클럭 주기에 카운팅된 제1 카운터값(Cnt_{cycle}), 상기 시스템 클럭에 동기된 제2 카운터값(Cnt_{sync}), 및 상기 시스템 클럭 주기와 상기 송신 신호의 시작 시점 사이의 시간차(X), 상기 시스

템 클럭 주기와 상기 수신 신호의 정지 시점 사이의 시간차(X)를 아래 수학적식에 적용하여 상기 시작 시점과 상기 정지 시점을 산출할 수 있다.

$$start\ time = ((Cnt_{cycle}) * (Cnt_{sync})) + X$$

[0021]

[0022]

또한, 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터는 적어도 하나의 제1 타입의 MOS 트랜지스터와 적어도 하나의 버퍼, 상기 제1 타입의 MOS 트랜지스터, 및 낸드 게이트로 구성되는 링 오실레이션부, 및 상기 제1 타입과 상이한 제2 타입의 MOS 트랜지스터, 상기 제2 타입의 MOS 트랜지스터를 구동하는 버퍼, 상기 낸드 게이트, 및 인버터로 구성되는 피드백 래치부를 포함한다.

발명의 효과

[0023]

본 발명에 의하면, 클럭속도를 증가시키지 않고도 아날로그 신호의 시간 차이를 정밀하게 카운팅하여 라이더 시스템에서 측정하는 거리의 해상도를 증가시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0024]

- 도 1은 일반적인 라이더 시스템의 구성도를 개략적으로 도시한 도면이다.
- 도 2는 일반적인 라이더 시스템의 ToF를 계산하는 방법을 설명하기 위한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 라이더 시스템의 구성도를 개략적으로 도시한 도면이다.
- 도 4 내지 도 6은 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터의 회로도들 개략적으로 도시한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 라이더 시스템에서 ToF를 계산하는 방법을 설명하기 위한 타이밍도이다.
- 도 9는 본 발명의 일 실시예에 따른 라이더 시스템의 카운팅 시뮬레이션 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025]

이하, 첨부된 도면을 참조하여 본 발명의 각 실시예에 따른 시간 디지털 변환 카운터 및 이를 포함하는 라이더 시스템에 대하여 설명하도록 한다.

[0026]

이하의 설명에서 본 발명에 대한 이해를 명확히 하기 위하여, 본 발명의 특징에 대한 공지 기술에 대한 설명은 생략하기로 한다. 실시예들은 본 발명의 이해를 돕기 위한 상세한 설명이며, 본 발명의 권리범위를 제한하는 것은 아니다. 따라서, 본 발명과 동일한 기능을 수행하는 균등물 역시 본 발명의 권리 범위에 속한다.

[0028]

이하, 첨부된 도면들을 참조하여 구체적인 실시예들을 설명하도록 한다.

[0029]

도 3은 본 발명의 일 실시예에 따른 라이더 시스템의 구성도를 개략적으로 도시한 도면이다.

[0030]

도 3을 참조하면, 본 발명의 일 실시예에 따른 라이더 시스템(1000)은 송신기(100), 수신기(200), 및 마이크로 제어부(300)를 포함하여 구성될 수 있다. 이때, 송신기(100)는 지연부(110)와 레이저 송신부(120)를 포함하여 구성되고, 수신기(200)는 검출부(210), 시작 신호 발생부(220), 레이저 수신부(230), 정지 신호 발생부(240), 및 시간 디지털 변환 카운터(250)를 포함하여 구성될 수 있다.

[0031]

구체적으로, 마이크로 제어부(300)에서 트리거링(Triggering)이 시작되면, 시간 디지털 변환 카운터(250)를 온시키고, 시간 디지털 변환 카운터(250)가 안정화될 수 있도록 지연부(110)에서 시간 지연을 거친 후 레이저 송신부(120)를 통해 레이저를 출력할 수 있다. 레이저 송신부(120)는 타겟 물체를 향해 레이저를 출력할 수 있다.

[0032]

수신기(200)의 검출부(210)는 송신기(100)의 레이저 송신부(120)에서 레이저가 출력되는 것을 감지하고, 시작 신호 발생부(220)는 TDC1(250A)으로 시작(Start) 시간을 카운팅하도록 제어 신호를 발생시킬 수 있다. TDC1(250A)에서 카운팅이 되는 동안 물체에서 반사된 반사광은 레이저 수신부(230)로 수신될 수 있다. 레이저 수신부(230)는 반사광이 수신되면 정지 신호 발생부(240)에서 TDC2(250B)로 정지(Stop) 시간을 카운팅하도록 제어 신호를 발생시킬 수 있다. 즉, TDC1(250A)은 시작 시점을 미리 설정된 주기로 카운팅하고, TDC2(250B)는 정지 시점을 미리 설정된 주기로 카운팅할 수 있다. 이때, 미리 설정된 주기는 TDC를 구성하는 링 오실레이션 회로를 구성하는 회로 소자들의 딜레이가 될 수 있다. 특히, 미리 설정된 주기는 게이트 딜레이(gate delay)가 될 수 있다.

[0033] TDC1(250A)과 TDC2(250B)에서 카운팅된 시작 시점과 정지 시점에 대한 카운터값이 마이크로 제어부(300)로 전달되고, 마이크로 제어부(300)는 수신한 카운터값의 차이를 이용하여 거리를 산출할 수 있다. 구체적으로, 마이크로 제어부(300)는 아래 [수학식 1]에 카운터값의 차이를 대입하여 거리를 계산할 수 있다.

수학식 1

$$d = \frac{c \cdot \Delta t}{2}$$

[0034]

[0035] 여기서, d는 거리, c는 광속, Δt는 카운터값의 차이를 나타낸다.

[0036]

마이크로 제어부(300)는 시스템 클럭 펄스 동기화 신호를 기반으로 하는 제어 신호를 생성하여 레이저의 송수신을 제어할 수 있다. 즉, 마이크로 제어부(300)는 시스템 클럭 펄스와 라이징 타임 또는 폴링 타임이 일치하는 제어 신호를 생성할 수 있다. 마이크로 제어부(300)는 제어 신호에 따라 출력 신호를 물체로 전달하고, 반사광을 수신 신호로 수신할 수 있다. 이때, 출력 신호의 시작 시점과, 수신 신호의 정지 시점은 시스템 클럭 펄스의 라이징 타임 또는 폴링 타임과 일치하지 않을 수 있다.

[0037]

본 발명에서는, 출력 신호의 시작 시점과, 수신 신호의 정지 시점이 시스템 클럭 펄스의 라이징 타임 또는 폴링 타임과 불일치하여 정확한 시점을 찾을 수 없는 문제점을 해결하기 위하여, 시간 디지털 변환 카운터(TDC: Time to Digital Converting Counter)(250)를 통해 출력 신호의 시작 시점과, 수신 신호의 정지 시점을 미리 설정된 주기로 카운팅하여 정확한 시점을 찾아낼 수 있다. 이때, 미리 설정된 시간은 TDC를 구성하는 링 오실레이션부의 게이트 지연시간이 될 수 있다.

[0038]

시간 디지털 변환 카운터(TDC)(250)는 송신 신호를 미리 설정된 주기로 카운팅하는 제1 시간 디지털 변환 카운터(TDC1)(250A)과 수신 신호를 미리 설정된 주기로 카운팅하는 제2 시간 디지털 변환 카운터(TDC2)(250B)를 포함하여 구성될 수 있다. 즉, 시간 디지털 변환 카운터(TDC)는 송신 신호를 처리하는 측에 제1 시간 디지털 변환 카운터(TDC1)(250A)를 구비하고, 수신 신호를 처리하는 측에 제2 시간 디지털 변환 카운터(TDC2)(250B)를 각각 구비할 수 있다. 시간 디지털 변환 카운터(TDC)는 신호의 비트수에 따라 구비되며, 예를 들어, n-bit를 처리하기 위하여 각 비트 당 하나의 링 오실레이션부와 피드백 래치부로 구성된 시간 디지털 변환 카운터 회로가 필요하므로, n개의 시간 디지털 변환 카운터 회로로 구성된 송신신호처리를 위한 하나의 TDC1과 n개의 시간 디지털 변환 카운터 회로로 구성된 수신신호처리를 위한 하나의 TDC2를 구비해야 한다. n개의 시간 디지털 변환 카운터 회로는 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지 순차적으로 처리하고, 각각의 카운팅값을 합산하여 전체 카운팅값을 결정할 수 있다. 이하, 도 4 내지 도 6을 참조하여, 시간 디지털 변환 카운터의 구성 및 기능을 구체적으로 설명하도록 한다.

[0040]

도 4 내지 도 6은 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터의 회로도들 개략적으로 도시한 도면이다.

[0041]

도 4를 참조하면, 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터(TDC)(40)는 링 오실레이션부(Ring Oscillation) 및 피드백 래치부(Feedback Latch)를 포함하여 구성된다.

[0042]

링 오실레이션부(RO)는 적어도 하나의 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN)와 적어도 하나의 버퍼(B1 내지 BN), 제1 타입의 MOS 트랜지스터(Tr0), 및 낸드 게이트(NAND Gate)(N)로 구성될 수 있다. 이때, 적어도 하나의 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN)와 적어도 하나의 버퍼(B1 내지 BN)는 k번째 비트를 카운팅하기 위하여 각각 (2^k-1)개가 필요하다.

[0043]

피드백 래치부(FL)는 제1 타입과 상이한 제2 타입의 MOS 트랜지스터(TrL), 제2 타입의 MOS 트랜지스터(TrL)를 구동하는 버퍼(BL), 낸드 게이트(NAND Gate)(N), 및 인버터(I)로 구성될 수 있다.

[0044]

링 오실레이션부(RO)를 구성하는 트랜지스터와 피드백 래치부(FL)를 구성하는 트랜지스터는 서로 다른 타입으로, 예를 들어, 적어도 하나의 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN)가 PMOS 트랜지스터인 경우, 제2 타입의 MOS 트랜지스터(TrL)는 NMOS 트랜지스터가 된다. 반대로, 적어도 하나의 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN)가 NMOS 트랜지스터인 경우, 제2 타입의 MOS 트랜지스터(TrL)는 PMOS 트랜지스터가 된다.

[0045]

링 오실레이션부(RO)와 피드백 래치부(FL)는 상보적으로 작동한다. 구체적으로, 링 오실레이션부(RO)가 링 형태

로 회로가 연결되어 카운팅 동작이 수행되는 경우, 피드백 래치부(FL)는 트랜지스터가 오프되어 회로 연결이 끊긴 상태로 유지된다. 반대로, 링 오실레이션부(RO)의 카운팅 동작이 종료하여 트랜지스터가 오프되면, 피드백 래치부(FL)의 트랜지스터는 연결되어 페루프를 형성함으로써 링 오실레이션부(RO)의 카운팅값을 유지할 수 있다.

[0046] 링 오실레이션부(RO)를 구성하는 트랜지스터가 PMOS 트랜지스터이고, 피드백 래치부(FL)를 구성하는 트랜지스터가 NMOS 트랜지스터인 경우, 제어신호에 따른 동작을 구체적으로 설명하도록 한다.

[0047] 링 오실레이션부(RO)는 시작 신호 생성부로부터 제어신호(Init-sig) '0'을 수신하는 경우, 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN, TrO)를 온시켜 회로를 링 형태로 연결하고, 피드백 래치부(FL)는 제2 타입의 MOS 트랜지스터(TrL)를 오프시킬 수 있다. 또한, 시작 신호 생성부로부터 제어신호(Init-sig) '1'을 수신하는 경우, 링 오실레이션부(RO)는 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN, TrO)를 오프시키고, 피드백 래치부(FL)는 제2 타입의 MOS 트랜지스터(TrL)를 온시켜 회로를 연결할 수 있다. 이때, 링 오실레이션부(RO)의 미리 설정된 주기(카운팅 주기)는 링 오실레이션부(RO)를 구성하는 적어도 하나의 PMOS 트랜지스터(Tr1 내지 TrN), 적어도 하나의 버퍼(B1 내지 BN), PMOS 트랜지스터(TrO), 및 낸드 게이트(N)의 지연(delay) 합이 될 수 있다. 링 오실레이션부(RO)는 상기의 미리 설정된 주기로 토글링(toggling)한 결과를 카운팅한다. 카운팅이 완료되면, 피드백 래치부(FL)는 NMOS 트랜지스터(TrL)를 온시켜 회로를 연결하고, 카운팅값을 유지할 수 있다. 이 경우, PMOS 트랜지스터(Tr1 내지 TrN)와 NMOS 트랜지스터(TrL)는 동시에 Start-gen 제어신호가 인가되어 구동되므로, 공유하는 A, B 지점의 값이 C로 전파되어 양지점의 값이 충돌하게 된다. 따라서, 피드백 래치부(FL)가 동작하기 전에 링 오실레이션부(RO)의 A, B 지점의 값이 휘발될 정도의 지연 시간을 가진 후 피드백 래치부(FL)를 동작시켜야 회로가 안정적으로 동작할 수 있다. 즉, 회로의 안정성을 위하여, 피드백 래치부(FL)는 NMOS 트랜지스터(TrL)를 구동하는 버퍼(BL)를 통해 지연시간을 유지한 후, NMOS 트랜지스터(TrL)를 온시킬 수 있다.

[0048] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터(TDC)(40)는 n개의 비트를 카운팅하기 위하여 n개의 시간 디지털 변환 카운터(40A 내지 40N)를 포함하여 구성될 수 있다.

[0049] n비트 각각의 시간 디지털 변환 카운터는 몇번째(k) 비트인지에 따라 카운팅을 위한 트랜지스터와 버퍼의 개수, 즉, 적어도 하나의 제1 타입의 MOS 트랜지스터(Tr1 내지 TrN)와 적어도 하나의 버퍼(B1 내지 BN)가 각각 $(2^k - 1)$ 개로 달라질 수 있다. 즉, bit0에 대응하는 시간 디지털 변환 카운터 회로는 40A와 같이 PMOS 트랜지스터와 버퍼가 포함되지 않고, bit1은 40B와 같이 PMOS 트랜지스터가 1개, 버퍼가 1개 포함되고, bit2는 PMOS 트랜지스터가 3개, 버퍼가 3개 포함되며, bit(n-1)은 PMOS가 $(2^n - 1)$ 개, 버퍼가 $(2^n - 1)$ 개 포함된다. 시간 디지털 변환 카운터는 LSB의 카운팅값(Cnt(0))부터 n번째 MSB의 카운팅값(Cnt(n-1))을 더하여 전체 카운팅값(Cnt(T))를 산출할 수 있다.

[0050] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 시간 디지털 변환 카운터(TDC)(40)는 송신 신호의 시작 시점을 카운팅하는 제1 시간 디지털 변환 카운터(TDC1)(250A) 및 수신 신호의 정지 시점을 카운팅하는 제2 시간 디지털 변환 카운터(TDC2)(250B)를 구비할 수 있다.

[0051] 제1 시간 디지털 변환 카운터(TDC1)(250A) 및 제2 시간 디지털 변환 카운터(TDC2)(250B)는 N비트의 신호를 카운팅하기 위하여, N개의 TDC(40A 내지 40N)를 각각 구비할 수 있다. 이때, 제1 시간 디지털 변환 카운터(TDC1)(250A)는 Start-gen 제어신호에 따라 N개의 TDC(40A 내지 40N)를 사용하여 시작 시점을 카운팅하여 전체 카운팅값 Cnt(T)를 산출할 수 있다. 마찬가지로, 제2 시간 디지털 변환 카운터(TDC1)(250B)는 Stop-gen 제어신호에 따라 N개의 TDC(40A' 내지 40N')를 사용하여 정지 시점을 카운팅하여 전체 카운팅값 Cnt(T)'를 산출할 수 있다. 이하, 도 7 내지 도 9를 참조하여, TDC에서 산출된 카운팅값을 이용하여 거리를 산출하는 과정을 상세히 설명하도록 한다.

[0053] 도 7 내지 도 8은 본 발명의 일 실시예에 따른 라이더 시스템에서 ToF를 계산하는 방법을 설명하기 위한 타이밍도이고, 도 9는 본 발명의 일 실시예에 따른 라이더 시스템의 카운팅 시뮬레이션 결과를 나타낸 도면이다.

[0054] 도 7을 참조하면, 마이크로 제어부는 송신 신호를 출력하기 전에, 시작 신호 발생부에서 '0'과 '1'을 적어도 한 주기이상 출력시키도록 제어하여 시스템 클럭 주기를 측정할 수 있다.

[0055] 일반적으로, 게이트 각각의 딜레이가 일정하지 않기 때문에 링 오실레이팅 주기가 변할 수 있다. 따라서, Init-sig 신호와 Start-gen 신호를 이용하여 시스템을 먼저 테스트할 수 있다. 이러한 테스트 과정(Test1, Test2)은 다수회 수행될 수 있고, 수행 결과를 평균하여 시스템 클럭 주기로 결정할 수 있다.

210: 검출부

220: 시작 신호 발생부

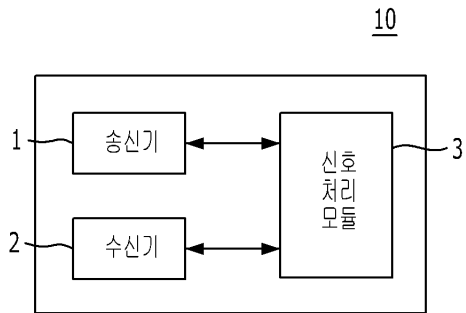
230: 레이저 수신부

240: 정지 신호 발생부

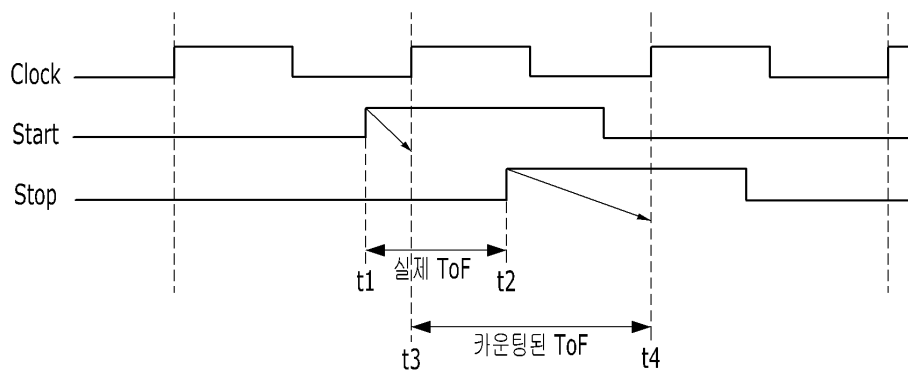
250: 시간 디지털 변환 카운터

도면

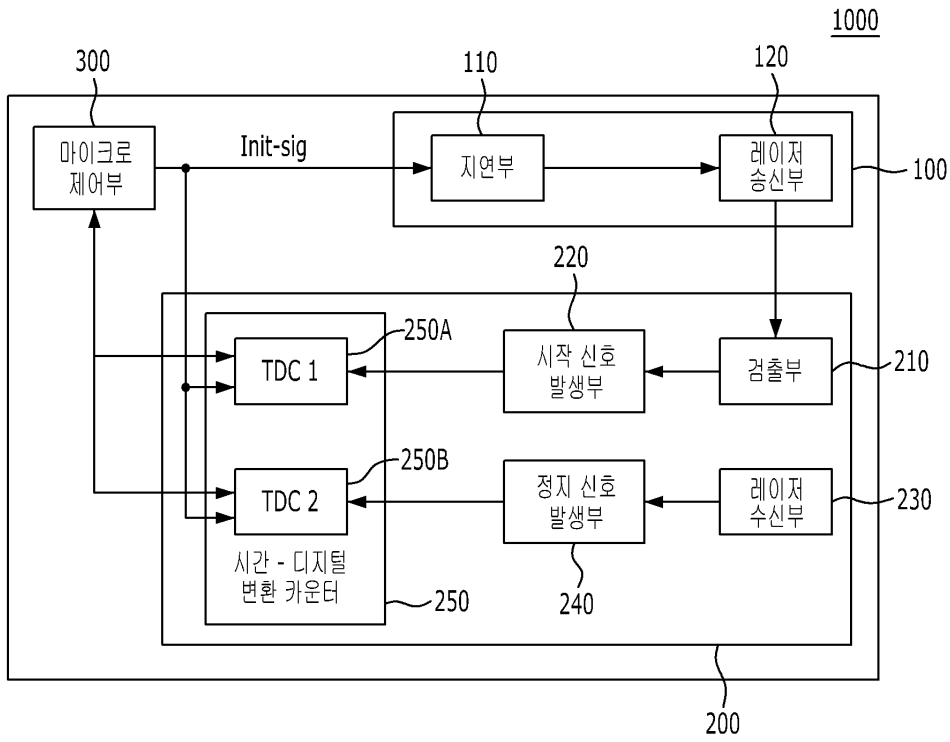
도면1



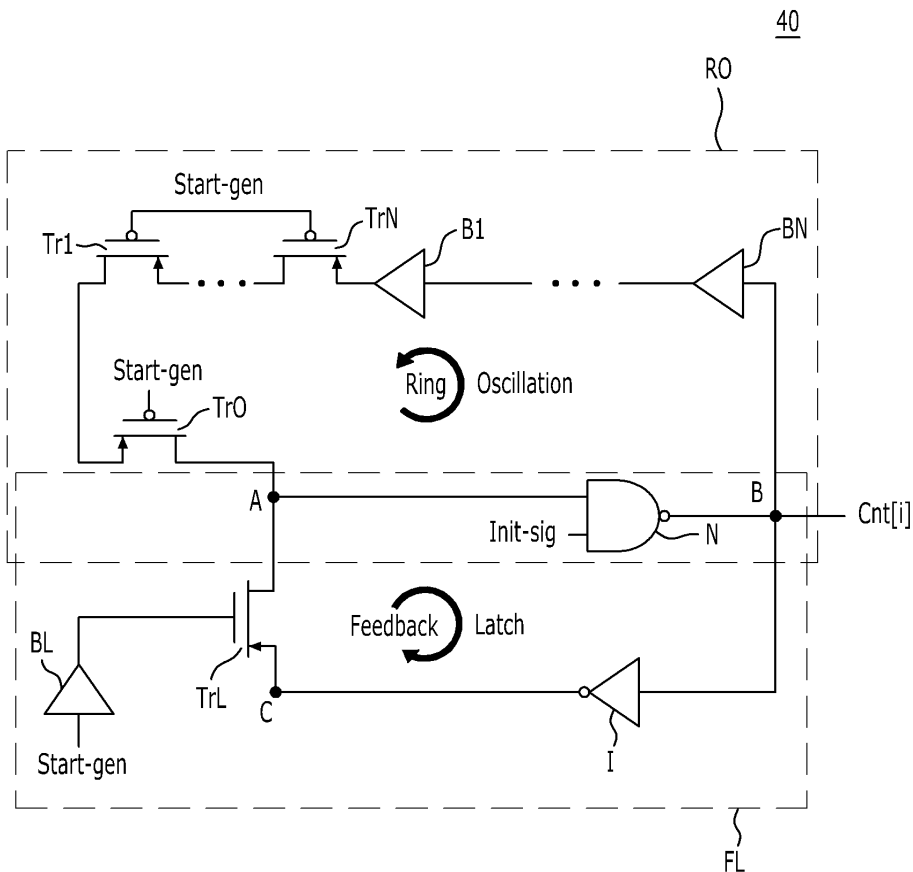
도면2



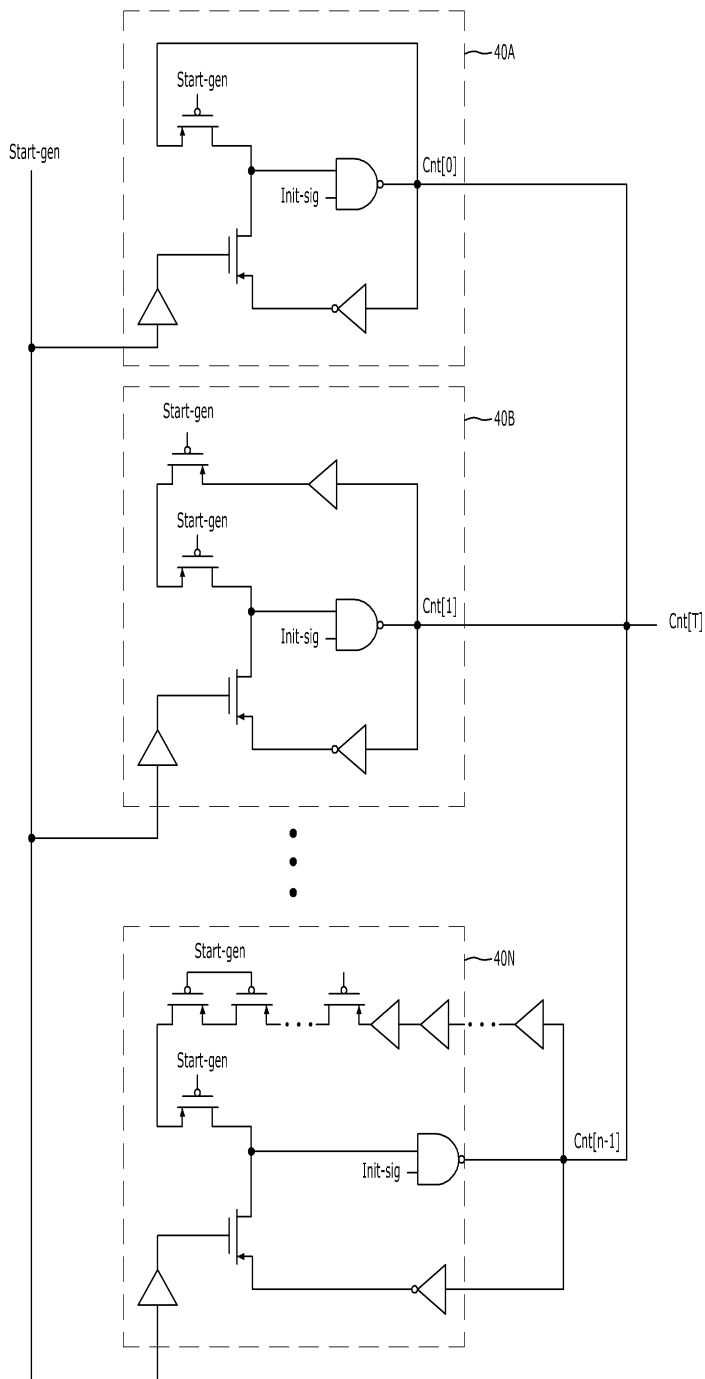
도면3



도면4

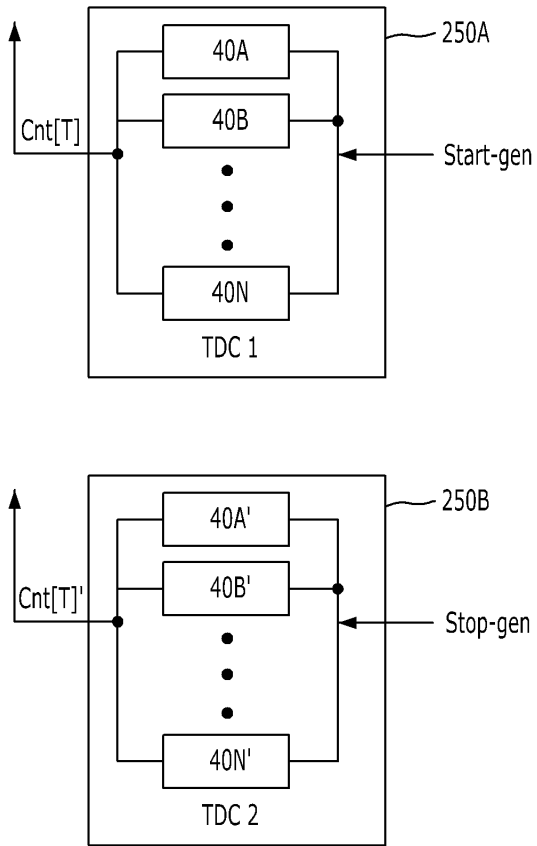


도면5

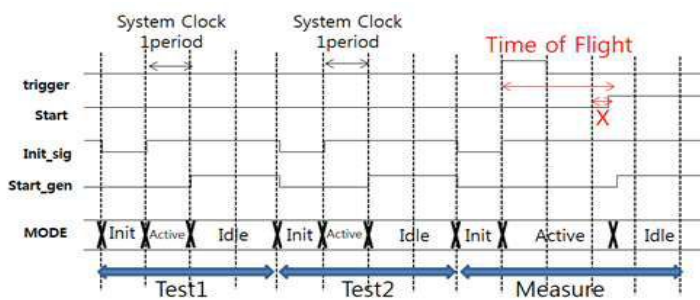


도면6

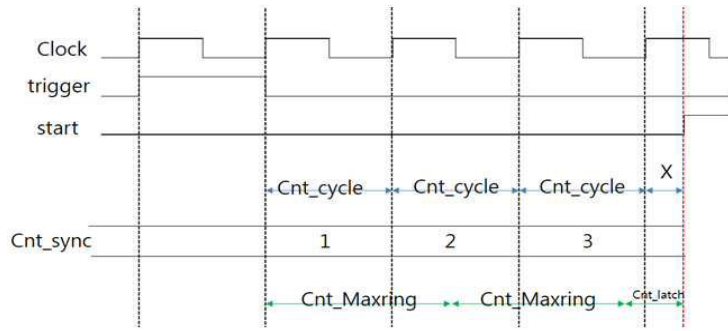
250



도면7



도면8



도면9

