



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월06일  
(11) 등록번호 10-2287188  
(24) 등록일자 2021년08월02일

(51) 국제특허분류(Int. Cl.)  
H01L 27/1159 (2017.01) H01L 27/11592 (2017.01)  
H01L 27/11597 (2017.01)  
(52) CPC특허분류  
H01L 27/1159 (2013.01)  
H01L 27/11592 (2013.01)  
(21) 출원번호 10-2020-0014606  
(22) 출원일자 2020년02월07일  
심사청구일자 2020년02월07일  
(56) 선행기술조사문헌  
KR1020190114919 A\*  
(뒷면에 계속)

(73) 특허권자  
세종대학교산학협력단  
서울특별시 광진구 능동로 209 (군자동, 세종대학교)  
부산대학교 산학협력단  
부산광역시 금정구 부산대학교로63번길 2 (장전동, 부산대학교)  
(72) 발명자  
최택집  
서울특별시 송파구 양재대로 1218 올림픽선수기자촌아파트 302동 1402호  
이호진  
서울특별시 광진구 면목로 27, 304호  
(뒷면에 계속)  
(74) 대리인  
특허법인이상

전체 청구항 수 : 총 14 항

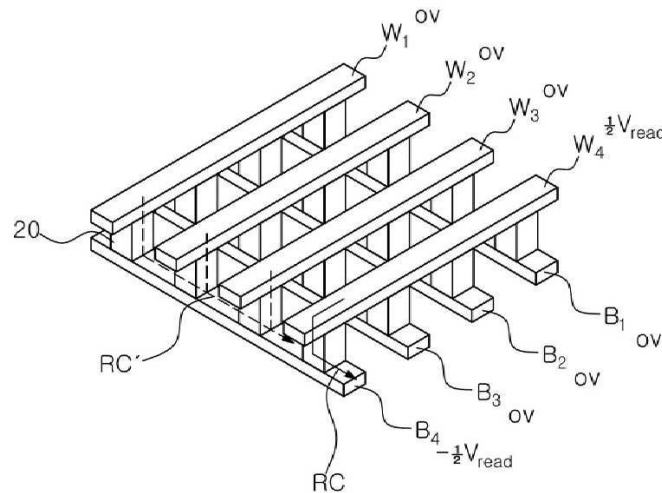
심사관 : 박소경

(54) 발명의 명칭 비선형성을 나타내는 강유전체 터널 접합 메모리 소자 및 이를 구비하는 크로스포인트 어레이

(57) 요약

강유전체 터널 접합 메모리 소자 및 이를 구비하는 크로스포인트 어레이를 제공한다. 상기 소자는 반도체층을 구비한다. 상기 반도체층 상에 하기 화학식 1로 표시되는 강유전성 터널층이 배치된다. 상기 강유전성 터널층 상에 금속층이 배치된다. [화학식 1]  $\text{Bi}_{1-x}\text{M}_x\text{FeO}_{3-y}$  상기 화학식 1에서,  $y=x/2+\beta$  이고, M은 2가 금속이고, x는 0 초과 0.2 이하이고,  $\beta$  는 0.1 내지 1이다.

대표도 - 도4



(52) CPC특허분류

*H01L 27/11597* (2013.01)

(72) 발명자

**이준봉**

서울특별시 중랑구 봉화산로42길 15-3 지층안쪽

**이재광**

부산광역시 기장군 정관읍 정관로 350, 이지더원3차 아파트 312동 404호

(56) 선행기술조사문헌

V. Garcia and M. Bibes. Ferroelectric tunnel junctions for information storage and processing. Nature Communications. 2014, pp. 1-12 (2014.07.24.)\*

J. B. Babua et al. Effect of oxygen vacancies on ferroelectric behavior of Na<sub>1/2</sub>Bi<sub>1/2</sub>TiO<sub>3</sub>-BaTiO<sub>3</sub> single crystals. Materials Science and Engineering B. 2009, 156, pp. 36-41 (2009.01.25.)\*

KR1020160142424 A

KR1020180134121 A

US20180269216 A1

US20180374929 A1

\*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 1711093349(20170883)

부처명 과학기술정보통신부

과제관리(전문)기관명 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발(R&D)

연구과제명 계면제어를 통한 selector-less 강유전체 터널링 메모리 소자 개발

기 여 율 1/1

과제수행기관명 세종대학교 산학협력단

연구기간 2019.01.01 ~ 2019.12.31

## 명세서

### 청구범위

#### 청구항 1

반도체층;

상기 반도체층 상에 배치되고 하기 화학식 1로 표시되는 강유전성 터널링층; 및

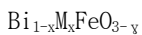
상기 강유전성 터널링층 상에 배치된 금속층을 포함하는 강유전체 터널 접합 소자이되,

상기 소자가 온 상태에 있을 때, 상기 강유전성 터널링층은 상기 반도체층과 인접한 영역에서 다른 영역 대비 높은 농도의 산소공공을 구비하고,

상기 소자에 일 방향의 전압이 인가될 때, 상기 소자는 온 상태에서 상기 인가되는 전압의 절대값이 커질 때 전자가 직접 터널링하는 상태와 전자가 FN 터널링하는 상태를 차례로 제공하고,

상기 소자에 상기 일 방향과 반대 방향의 전압이 인가될 때, 상기 소자는 전자가 직접 터널링하는 상태만 제공하는 강유전체 터널 접합 소자:

[화학식 1]



상기 화학식 1에서,  $y = x/2 + \beta$  이고,

M은 2가 금속이고,

x는 0 초과 0.2 이하이고,

$\beta$ 는 0.1 내지 1이다.

#### 청구항 2

제1항에 있어서,

M은 Ca 또는 Ba인 강유전체 터널 접합 소자.

#### 청구항 3

제1항에 있어서,

x는 0.05 내지 0.15인 강유전체 터널 접합 소자.

#### 청구항 4

제1항에 있어서,

$\beta$ 는 0.5 내지 0.7인 강유전체 터널 접합 소자.

#### 청구항 5

제1항에 있어서,

상기 강유전성 터널링층은 3 내지 5nm의 두께를 갖는 강유전체 터널 접합 소자.

#### 청구항 6

제1항에 있어서,

상기 반도체층은 n형 반도체인 강유전체 터널 접합 소자.

**청구항 7**

제6항에 있어서,

상기 반도체층은 상기 반도체층은 Nb 또는 La 도핑된 SrTiO<sub>3</sub>층인 강유전체 터널 집합 소자.

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

반도체층;

상기 반도체층 상에 배치되고 2가 금속이 도핑된 비스무스 철 산화물층인 강유전성 터널링층; 및

상기 강유전성 터널링층 상에 배치된 금속층을 포함하는 강유전체 터널 집합 소자이되,

상기 소자가 온 상태에 있을 때, 상기 강유전성 터널링층은 상기 반도체층과 인접한 영역에서 다른 영역 대비 높은 농도의 산소공공을 구비하고,

상기 소자에 일 방향의 전압이 인가될 때, 상기 소자는 온 상태에서 상기 인가되는 전압의 절대값이 커질 때 전자가 직접 터널링하는 상태와 전자가 FN 터널링하는 상태를 차례로 제공하고,

상기 소자에 상기 일 방향과 반대 방향의 전압이 인가될 때, 상기 소자는 전자가 직접 터널링하는 상태만 제공하는 강유전체 터널 집합 소자.

**청구항 11**

제10항에 있어서,

상기 2가 금속은 Ca 또는 Ba인 강유전체 터널 집합 소자.

**청구항 12**

삭제

**청구항 13**

일방향으로 서로 평행한 복수개의 제1 배선들;

상기 제1 배선들의 상부에서 상기 제1 배선들에 교차하는 서로 평행한 복수개의 제2 배선들; 및

상기 제1 배선들과 상기 제2 배선들이 교차하는 각 부분에서 상기 제1 배선과 상기 제2 배선 사이에 배치되고 하기 화학식 1로 표시되는 강유전성 터널링층을 구비하고,

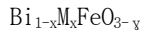
상기 제2 배선은 반도체라인이거나 혹은 상기 제2 배선과 상기 강유전성 터널링층 사이에 반도체층이 배치되고,

상기 강유전성 터널링층이 저저항 상태에 있을 때, 상기 강유전성 터널링층은 상기 반도체라인 혹은 상기 반도체층과 인접한 영역에서 다른 영역 대비 높은 농도의 산소공공을 구비하고,

상기 강유전성 터널링층에 일 방향의 전압이 인가되고 상기 강유전성 터널링층이 저저항 상태에 있고 상기 인가되는 전압의 절대값이 커질 때, 상기 강유전성 터널링층은 전자가 직접 터널링하는 상태와 전자가 FN 터널링하는 상태를 차례로 제공하고,

상기 강유전성 터널링층에 상기 일 방향과 반대 방향의 전압이 인가될 때, 상기 강유전성 터널링층은 전자가 직접 터널링하는 상태만 제공하는 크로스포인트 강유전체 터널 집합 소자 어레이:

[화학식 1]



상기 화학식 1에서,  $y = x/2 + \beta$  이고,

M은 2가 금속이고,

x는 0 초과 0.2 이하이고,

$\beta$ 는 0.1 내지 1이다.

#### 청구항 14

반도체층 상에 강유전체층을 성장시키는 단계;

상기 강유전체층을 후열처리하여 상기 강유전체층 내에 산소공공을 생성시켜 강유전성 터널링층을 형성하되, 상기 후열처리 분위기 내 산소의 분압은 상기 강유전체층 성장시 분위기 내 산소의 분압에 비해 낮은 단계; 및

상기 강유전성 터널링층 상에 금속층을 형성하는 단계를 포함하는 청구항 1의 강유전체 터널 접합 소자 제조방법.

#### 청구항 15

제14항에 있어서,

상기 강유전체층은 2가 금속이 도핑된 비스무스 철 산화물층인 강유전체 터널 접합 소자 제조방법.

#### 청구항 16

제15항에 있어서,

상기 2가 금속은 Ca 또는 Ba인 강유전체 터널 접합 소자 제조방법.

#### 청구항 17

삭제

#### 청구항 18

제14항에 있어서,

상기 후열처리 분위기 내 산소의 분압은 상기 강유전체층 성장시 분위기 내 산소의 분압 대비 1 내지 10%인 강유전체 터널 접합 소자 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 메모리 소자에 관한 것으로, 구체적으로는 강유전체 메모리에 관한 것이다.

#### 배경 기술

[0002] 강유전체 메모리(Ferroelectric Random Access Memory, FeRAM)는 실리콘 기반의 플래시 메모리 보다 전력소모가 적고, 읽고 쓰는 속도가 빨라 차세대 비휘발성 메모리로 고려되었다. 그러나, 강유전체 물질은 130nm 이상의 두께에서만 강유전성이 뚜렷해 고집적되면서 고성능을 갖는 메모리 제작이 힘들다고 알려져 있다.

[0003] 이러한 점을 극복하기 위해, 최근 두 전극 사이에 배치된 강유전체 박막의 두께를 전자 터널링이 가능한 정도의 두께로 낮춘 강유전체 터널 접합 소자 혹은 강유전체 터널 접합(ferroelectric tunnel junction) 소자가 개발되고 있다. 이러한 강유전체 터널 접합은 매우 얇은 두께를 가지므로 소형화가 가능해 고집적화된 메모리에 적합할 수 있다.

### 선행기술문헌

**특허문헌**

[0004] (특허문헌 0001) KR공개 2011-0072921

**발명의 내용**

**해결하려는 과제**

[0005] 한편, 이러한 메모리 소자를 사용하여 셀 어레이를 구성하기 위해서는 하나의 라인에 연결할 수 있는 메모리 셀의 개수를 늘림으로써 집적도를 높일 수 있다. 그러나, 하나의 라인에 연결할 수 있는 메모리 셀의 개수는 읽기 마진에 의해 제한될 수 있다.

[0006] 본 발명이 해결하고자 하는 과제는, 집적도를 향상시킬 수 있으면서도 온/오프 비가 큰 강유전체 메모리 소자를 제공함에 있다.

[0007] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0008] 상기 과제를 이루기 위하여 본 발명의 일 측면은 강유전체 터널 접합 소자를 제공할 수 있다. 상기 소자는 반도체층을 구비한다. 상기 반도체층 상에 하기 화학식 1로 표시되는 강유전성 터널층이 배치된다. 상기 강유전성 터널층 상에 금속층이 배치된다.

[0009] [화학식 1]



[0011] 상기 화학식 1에서,  $y=x/2+\beta$  이고, M은 2가 금속이고, x는 0 초과 0.2 이하이고,  $\beta$ 는 0.1 내지 1이다.

[0012] M은 Ca 또는 Ba일 수 있다. x는 0.05 내지 0.15일 수 있다.  $\beta$ 는 0.5 내지 0.7일 수 있다. 상기 강유전성 터널층은 3 내지 5nm의 두께를 가질 수 있다. 상기 반도체층은 n형 반도체일 수 있다. 상기 반도체층은 상기 반도체층은 Nb 또는 La 도핑된 SrTiO<sub>3</sub>층일 수 있다.

[0013] 상기 소자는 온 상태에서 전자가 직접 터널링하는 상태와 전자가 FN 터널링 하는 상태를 제공할 수 있다. 상기 전자가 직접 터널링하는 상태와 상기 전자가 FN 터널링 하는 상태에서, 상기 소자에는 동일방향의 전계가 인가되되, 인가되는 전계의 절대값이 다를 수 있다.

[0014] 상기 과제를 이루기 위하여 본 발명의 일 측면은 다른 실시예에 따른 강유전체 터널 접합 소자를 제공할 수 있다. 상기 강유전체 터널 접합 소자는 반도체층을 구비한다. 상기 반도체층 상에 2가 금속이 도핑된 비스무스 철 산화물층인 강유전성 터널층이 배치된다. 상기 강유전성 터널층 상에 금속층이 배치된다. 상기 소자는 온 상태에서 전자가 직접 터널링하는 상태와 전자가 FN 터널링 하는 상태를 제공한다. 상기 2가 금속은 Ca 또는 Ba일 수 있다.

[0015] 상기 과제를 이루기 위하여 본 발명의 일 측면은 크로스 포인트 강유전체 터널 접합 소자 어레이를 제공할 수 있다. 상기 소자 어레이는 일방향으로 서로 평행한 복수개의 제1 배선들을 구비한다. 상기 제1 배선들의 상부에서 상기 제1 배선들에 교차하는 서로 평행한 복수개의 제2 배선들이 제공된다. 상기 제1 배선들과 상기 제2 배선들이 교차하는 각 부분에서 상기 제1 배선과 상기 제2 배선 사이에 하기 화학식 1로 표시되는 강유전성 터널층이 배치된다. 상기 제2 배선은 반도체라인들이거나 혹은 상기 제2 배선과 상기 강유전성 터널층 사이에 반도체층이 배치된다.

[0016] [화학식 1]



[0018] 상기 화학식 1에서,  $y=x/2+\beta$  이고, M은 2가 금속이고, x는 0 초과 0.2 이하이고,  $\beta$ 는 0.1 내지 1이다.

[0019] 상기 과제를 이루기 위하여 본 발명의 일 측면은 강유전체 터널 접합 소자 제조방법을 제공할 수 있다. 먼저, 반도체층 상에 강유전체층을 성장시킨다. 상기 강유전체층을 후열처리하여 상기 강유전체층 내에 산소공공을 생성시켜 강유전성 터널링층을 형성한다. 상기 강유전성 터널링층 상에 금속층을 형성한다.

[0020] 상기 강유전체층은 2가 금속이 도핑된 비스무스 철 산화물층일 수 있다. 상기 2가 금속은 Ca 또는 Ba일 수 있다. 상기 후열처리 분위기 내 산소의 분압은 상기 강유전체층 성장시 분위기 내 산소의 분압에 비해 낮을 수 있다. 상기 후열처리 분위기 내 산소의 분압은 상기 강유전체층 성장시 분위기 내 산소의 분압 대비 1 내지 10% 일 수 있다.

**발명의 효과**

[0021] 본 발명에 따르면, 집적도를 향상시킬 수 있으면서도 비선형성을 가지면서도 온/오프 비가 큰 강유전체 메모리 소자를 제공할 수 있다.

[0022] 그러나, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

[0023] 도 1은 본 발명의 일 실시예에 따른 강유전체 터널 접합 소자를 나타낸 단면도이다.  
 도 2a, 도 2b, 도 2c, 도 2d, 및 도 2e는 도 1에 도시한 소자의 동작방법을 나타낸 개략도들이다.  
 도 3은 도 1에 도시한 소자의 전류-전압 커브를 나타낸 그래프이다.  
 도 4는 본 발명의 일 실시예에 따른 크로스포인트 강유전체 터널 접합 소자어레이를 나타낸 개략도이다.  
 도 5a는 소자 제조예들 1 내지 6에 따라 제조된 소자들의 BCFO층의 두께에 따른 온 전류와 오프 전류를 보여주는 그래프이고, 도 5b는 소자 제조예들 1 내지 6에 따라 제조된 소자들의 BCFO층의 두께에 따른 온 전류/오프 전류 비를 보여주는 그래프이다.  
 도 6a, 도 6b, 도 6c, 및 도 6d는 소자 제조예들 2, 3, 5, 및 6에 따라 제조된 소자들의 셋 상태에서의 I-V 커브들을 각각 나타낸 그래프들이다.  
 도 7은 소자 제조예들 4, 7, 8, 및 9에 따라 제조된 소자들의 전압-전류 그래프이다.  
 도 8는 소자 제조예 3, 9, 및 10에 따라 제조된 소자를 크로스포인트 메모리 소자로 구성하였을 때 워드라인의 갯수에 따른 읽기 마진(read margin)을 나타낸 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

[0024] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 본 실시예들에서 "제 1", "제2", 또는 "제3"는 구성요소들에 어떠한 한정을 가하려는 것은 아니며, 다만 구성요소들을 구별하기 위한 용어로서 이해되어야 할 것이다.

[0026] 도 1은 본 발명의 일 실시예에 따른 강유전체 터널 접합 소자를 나타낸 단면도이다.

[0027] 도 1을 참조하면, 반도체층(10) 상에 강유전성 터널링층(20)을 형성할 수 있다.

[0028] 상기 반도체층(10)은 전극으로서의 역할을 수행할 수 있고, 워드라인 또는 비트라인 등의 배선으로서의 역할을 수행할 수 있다. 다만, 상기 반도체층(10)의 하부에 전도성이 더 좋은 별도의 배선층을 형성할 수도 있다. 상기 반도체층(10)은 이의 상부에 형성되는 강유전성 터널링층(20)과 유사한 즉, 격자크기가 비슷한 결정구조를 가지고 있는 층일 수 있고, 일 예로서 페로브스카이트 결정구조를 갖는 금속 산화물막일 수 있다. 상기 반도체층(10)은 n형 반도체층일 수 있고, 일 예로서 Nb 또는 La 도핑된 SrTiO<sub>3</sub>층일 수 있다. 이 때, Nb 또는 La의 도핑 정도는 0.1 내지 0.5 wt%일 수 있다. 상기 반도체층(10)은 또한 p형 반도체층일 수 있고, La<sub>x</sub>Sr<sub>1-x</sub>MnO<sub>3</sub> (0.6 ≤ x ≤ 0.8)층일 수 있다.

- [0029] 상기 강유전성 터널링층(20)은 상기 반도체층(10) 상에 에피택시얼하게 성장된 단결정층 구체적으로는 c-축 배향된 단결정층일 수 있고, 자발분극은 상기 강유전성 터널링층(20)에 수직하는 방향으로 배향될 수 있다. 또한 상기 강유전성 터널링층(20)은 페로브스카이트 결정구조를 갖는 금속산화물막일 수 있다. 강유전성 터널링층(20)은 1 내지 7nm 일 예로서, 2 내지 5nm 구체적으로, 3 내지 4.5nm의 두께를 가질 수 있다.
- [0030] 구체적으로, 상기 강유전성 터널링층(20)은 2가 금속이 도핑된 비스무스 철 산화물 구체적으로, 하기 화학식 1로 나타낸 강유전체층을 상기 반도체층(10) 상에 에피택시얼하게 성장시킨 후, 열처리 즉, 후열처리(post annealing)하여 형성할 수 있다. 후열처리된 강유전성 터널링층(20)은 하기 화학식 2로 나타낼 수 있다. 하기 화학식 1로 나타낸 강유전체 박막을 에피택시얼하게 성장하는 것은 펄스 레이저 증착법을 사용하여 수행할 수 있다.
- [0031] [화학식 1]
- [0032]  $Bi_{1-x}M_xFeO_{3-\delta}$
- [0033] 상기 화학식 1에서,  $\delta = x/2 + a$ 이다.
- [0034] 상기 화학식 1에서, M은 Bi 보다 낮은 산화수를 갖는 2가 금속, 일 예로서, Ca 또는 Ba일 수 있다. 2가 금속인 M 즉,  $M^{2+}$ 는  $Bi^{3+}$ 를 치환하면서 강유전성 터널링층(20) 내에 산소공공( $V_O$ )을 생성할 수 있다. M의 도핑에 의해 생성되는 산소공공( $V_O$ )의 양은 상기 화학식 1에서  $x/2$ 로 나타내어질 수 있다.  $M^{2+}$ 의 함량인 x값은 적절한 양의 산소공공( $V_O$ )을 생성하면서 금속산화물막이 강유전성을 잃지 않을 수 있는 범위인, 0 초과 0.2 이하, 구체적으로 0.05 이상 0.2 미만, 일 예로서 0.07 이상 0.15 이하의 값을 가질 수 있다. 상기 화학식 1에서, a는 강유전체 박막을 증착 혹은 성장시킬 때 발생할 수 있는 산소공공의 양을 의미하는 것으로, 0.05 내지 0.4 구체적으로 0.2 내지 0.3일 수 있다.
- [0035] [화학식 2]
- [0036]  $Bi_{1-x}M_xFeO_{3-y}$
- [0037] 상기 화학식 2에서,  $y = x/2 + \beta$ 이고,  $\beta = a + b$ 이고, M, x, 및 a는 화학식 1에서 정의된 바와 같다.  $\beta$ 는 0.1 내지 1 일 예로서, 0.5 내지 0.7일 수 있다. b는 화학식 1로 나타낸 강유전체 박막을 후열처리할 때 생성되는 산소공공의 양을 의미하는 것으로, 0 초과 일 예로서 0.1 이상의 값으로, 구체적으로, b는 0.2 내지 0.5 일 예로서, 0.3 내지 0.4일 수 있다. 일 예에서, b는 a 대비 큰 값을 가질 수 있다.
- [0038] 상기 후열처리 분위기 내 산소의 분압은 상기 강유전체 박막 성장시 분위기 내 산소의 분압에 비해 낮을 수 있다. 일 예로서, 상기 후열처리 분위기 내 산소의 분압은 상기 박막 성장시 분위기 내 산소의 분압 대비 약 1 내지 10% 구체적으로, 3 내지 7%일 수 있다. 상기 후열처리 분위기는 약 1 내지 10 mTorr의 산소 분압을 갖는 진공분위기일 수 있다. 이와 같은 후열처리 분위기는 상기 강유전체 박막 즉, 강유전성 터널링층(20) 내의 산소공공( $V_O$ )의 양을 더 증가시킬 수 있다. 이에 따라, 앞서 설명한 바와 같이 상기 화학식 2에서 b의 값이 0 초과인 값을 나타낼 수 있다. 후열처리를 통해 생성된 산소공공( $V_O$ , b)은 상기 화학식 1에서 M의 도핑을 통해 생성된 산소공공( $x/2$ ) 혹은 박막 성장시 발생하는 산소공공(a) 대비 이동도가 더 클 수 있다.
- [0039] 상기 후열처리는 급속열처리(Rapid Thermal Annealing, RTA)법을 사용하여 수행할 수 있고, 450 내지 600도, 일 예로서 500 내지 550도의 온도에서, 20 내지 40분 일 예로서, 25 내지 35분간 수행할 수 있다.
- [0040] 상기 강유전성 터널링층(20) 상에 금속층(30)을 형성할 수 있다. 상기 금속층(30)은 Pt, Au, Pd, Co, 또는 이들 각각의 합금층일 수 있다.
- [0041] 또한, 상기 박막 성장시 생성된 산소공공(화학식 1의  $\delta$ )은 박막 전체에 걸쳐 고르게 분포할 수 있으나, 상기 후열처리에 의해 생성된 산소공공(화학식 2의 b)은 강유전성 터널링층(20)의 노출된 표면, 즉, 상기 금속층(30)과 상기 강유전성 터널링층(20)의 계면에 비교적 높은 농도로 생성될 수 있다. 다시 말해서, 소자 동작 전에, 상기 반도체층(10)과 상기 강유전성 터널링층(20)의 계면 대비 상기 금속층(30)과 상기 강유전성 터널링층(20)의 계면에 더 높은 농도의 산소공공들이 배치될 수 있다.
- [0043] 도 2a, 도 2b, 도 2c, 도 2d, 및 도 2e는 도 1에 도시한 소자의 동작방법을 나타낸 개략도들이다. 도 3은 도 1



에 도시한 소자의 전류-전압 커브를 나타낸 그래프이다.

- [0044] 도 2a 및 도 3을 참조하면, 반도체층(10)을 접지하고 금속층(30)에 0 이상 셋 전압 미만의 전압을 인가할 수 있다(S1 상태). 이 때, 셋 전압은 강유전성 터널링층(20) 내의 분극의 방향을 바꿀 수 있는 임계 전압으로 양의 전압일 수 있다.
- [0045] 소자에 인가되는 전압이 셋 전압에 이르기 전까지는 강유전성 터널링층(20) 내의 분극의 방향(P)은 초기 단계로 유지되어 금속층(30)을 향할 수 있어 강유전성 터널링층(20)에 접하는 n형 반도체층(10)의 계면에 넓은 결핍영역(depletion region, DL)을 생성할 수 있다.
- [0046] 한편, 강유전성 터널링층(20) 내의 산소공공( $V_o$ )은 고정된 양전하(fixed positive charge)와 유사하게, 소자에 인가된 양의 전계에 의해 n형 반도체층(10) 방향으로 이동할 수 있다. 그러나, 여전히 강유전성 터널링층(20)과 금속층(30) 사이의 계면에 더 높은 농도의 산소공공( $V_o$ )이 위치할 수 있다. 이러한 산소공공( $V_o$ )은 자유전자를 발생시키므로, 이에 따라 상기 강유전성 터널링층(20) 내 산소공공( $V_o$ )의 농도가 높은 영역은 전도대가 플랫폼해질 수 있다. 이에 따라 형성된 강유전성 터널링층(20)에 의한 유효 에너지 장벽의 형태는 전자를 직접 터널링(T)할 수 있도록 하고, 강유전성 터널링층(20)을 통해 터널링 전류가 흐를 수 있다.
- [0047] 한편, 상기 넓은 결핍영역(depletion region, DL)은 터널링 전류를 억제하는 역할을 하므로, 상기 소자는 HRS(High Resistance State; HRS) 또는 오프 상태에 있을 수 있고 상기 터널링 전류는 오프 전류에 해당할 수 있다.
- [0048] 도 2b 및 도 3을 참조하면, 반도체층(10)을 접지하고 금속층(30)에 양의 셋 전압 이상의 전압을 인가한 후, 금속층(30)에 0 이상 셋 전압 미만의 전압을 인가할 수 있다(S2 상태).
- [0049] 소자에 셋 전압 또는 그 이상의 전압이 인가되면, 강유전성 터널링층(20) 내의 분극의 방향(P)은 상기 n형 반도체층(10)을 향하도록 바뀌고, 바뀐 분극의 방향(P)은 강유전성 터널링층(20)에 접하는 n형 반도체층(10)의 계면에 전하 축적(CA)을 일으킬 수 있다.
- [0050] 또한, 소자에 인가된 셋 전압 또는 그 이상의 전압이 인가될 때, 강유전성 터널링층(20) 내의 산소공공은 강유전성 터널링층(20)과 n형 반도체층(10)의 계면으로 대부분 이동할 수 있다. 그 결과, 상기 강유전성 터널링층(20)은 n형 반도체층(10)과 인접한 영역에서 산소공공( $V_o$ )의 농도가 높은 영역을 구비할 수 있고, 이 영역에서 상기 강유전성 터널링층(20)의 전도대는 플랫폼해질 수 있다. 이에 따라 형성된 강유전성 터널링층(20)에 의한 에너지 배리어의 형태는 전자를 직접 터널링(T)할 수 있도록 하고, 강유전성 터널링층(20)을 통해 터널링 전류가 흐를 수 있다.
- [0051] 한편, 상기 전하축적영역(CA)은 터널링 전류를 증가시키는 역할을 하므로, 상기 소자는 LRS(Low Resistance State; LRS) 또는 온 상태에 있을 수 있고 상기 터널링 전류는 온 전류에 해당할 수 있다. 다만, 금속층(30)에 셋 전압 인가 후 셋 전압 미만 0 이상의 전압을 인가하는 상태에서는 전압의 크기에 비례하는 온 전류가 흐를 수 있다(S2 상태).
- [0052] 도 2c, 도 2d, 및 도 3을 참조하면, 반도체층(10)을 접지하고 금속층(30)에 0 미만 리셋 전압 초과 전압을 인가할 수 있다(S3 및 S4 상태). 이 때, 리셋 전압은 강유전성 터널링층(20) 내의 분극의 방향을 원상태로 바꿀 수 있는 임계 전압으로 음의 전압일 수 있다.
- [0053] 소자에 인가되는 전압이 리셋 전압에 이르기 전까지는 강유전성 터널링층(20) 내의 분극의 방향(P)은 셋 상태로 유지되어, 강유전성 터널링층(20)에 접하는 n형 반도체층(10)의 계면의 전하 축적(CA)은 유지될 수 있다. 이에 따라, 상기 소자는 LRS(Low Resistance State; LRS) 또는 온 상태에 있을 수 있고 상기 터널링 전류는 온 전류에 해당할 수 있다.
- [0054] 또한, 상기 강유전성 터널링층(20)은 n형 반도체층(10)과 인접한 영역에서 여전히 높은 농도의 산소공공( $V_o$ )이 위치하고, 이 영역에서 상기 강유전성 터널링층(20)의 전도대는 플랫폼할 수 있다.
- [0055] 다만, 소자에 인가되는 음의 전계가 낮은 절대값을 갖는 경우(S3)에는 강유전성 터널링층(20)에 의한 에너지 배리어의 형태로 인해 전자는 직접 터널링(T)하였으나, 소자에 인가되는 음의 전계가 높은 절대값을 갖는 경우(S4)에는 가해지는 전계의 증가에 의해 강유전성 터널링층(20)에 의한 에너지 배리어의 형태는 삼각형으로 바뀌어 전자는 FN 터널링(Fowler-Nordheim tunneling, T)할 수 있다. 이 때, 산소공공( $V_o$ )의 농도가 높은 영역에서 플랫폼한 상기 강유전성 터널링층(20)의 전도대로 인해, 전자가 터널링(T)하기 위한 에너지 배리어는 더 얇아

져 전자는 FN 터널링이 가능해질 수 있다.

- [0056] 직접 터널링은 계산상 일차함수 (linear) 형태의 I-V 커브를 보이지만 F-N 터널링은 이차함수이기 때문에 급격한 전류 변화가 가능하다. 다시 말해서, 상기 소자가 온 상태에 있고 동일극성의 전압이 인가될 때, 전류-전압 그래프에서 전압의 절대값이 낮은 영역(S3 상태, 직접 터널링에 의존하는 구간) 대비 전압의 절대값이 높은 영역(S4 상태, F-N 터널링에 의존하는 구간)의 기울기의 절대값이 더 커질 수 있다. 이는 본 실시예에 따르는 소자가 비선형성을 나타낼 수 있음을 의미한다. 따라서, 전자의 F-N 터널링에 의존하는 S4 상태 내에서 읽기 전압(Vread)을 선택하고 직접 터널링에 의존하는 S3 상태에서 1/2 읽기 전압(1/2 Vread)을 선택하는 경우, 읽기 전압과 1/2 읽기 전압에 따른 전류값들의 큰 차이를 유도할 수 있어, 상기 소자들이 매트릭스 형태로 배열된 크로스 포인트 메모리에서 읽기 마진을 크게 높힐 수 있다.
- [0057] 도 2e 및 도 3을 참조하면, 반도체층(10)을 접지하고 금속층(30)에 음의 셋 전압 이하의 전압을 인가한 후, 금속층(30)에 리셋 전압 이상 0 미만의 전압을 인가할 수 있다(S5 상태).
- [0058] 소자에 음의 리셋 전압 또는 그 이하의 전압이 인가되면, 강유전성 터널층(20) 내의 분극의 방향(P)은 원 상태인 상기 금속층(30)을 향하도록 리셋되고, 리셋된 분극의 방향(P)은 강유전성 터널층(20)에 접하는 n형 반도체층(10)의 계면에 넓은 결핍영역(DL)을 생성할 수 있다. 그 결과, 소자는 도 2a에서와 마찬가지로 HRS(High Resistance State; HRS) 또는 오프 상태에 있을 수 있다.
- [0059] 이와 같이, 본 실시예에 따른 소자에서 강유전성 터널층(20)은 터널링이 가능할 정도로 얇은 두께를 가짐과 동시에 소자에 인가되는 전계가 제거되더라도 잔류분극을 가질 수 있어 메모리층 혹은 맬리스터로서의 역할을 수행할 수 있고, 이에 더하여 강유전성 터널층(20)은 열처리에 기인하는 풍부한 농도의 산소공공을 함유하여, 강유전성 터널층(20)의 전도대에 플랫한 영역을 제공할 수 있고, 이 전도대에 플랫한 영역이 제공된 강유전성 터널층(20)은 소자가 온 상태 일 때 전자가 직접 터널링하는 상태와 전자가 FN 터널링 하는 상태를 제공할 수 있어 메모리 마진을 향상시킬 수 있다. 상기 전자가 직접 터널링하는 상태와 전자가 FN 터널링 하는 상태에서, 소자에는 동일방향의 전계가 인가되되 인가되는 전계의 절대값이 다를 수 있다.
- [0061] 도 4는 본 발명의 일 실시예에 따른 크로스포인트 강유전체 터널 접합 소자어레이를 나타낸 개략도이다.
- [0062] 도 4를 참조하면, 기판(미도시) 상에 복수 개의 서로 평행하게 배열된 제1 배선들 일 예로서, 비트라인들(B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)이 위치할 수 있다. 상기 비트라인들(B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)의 상부에 비트라인들(B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)에 교차하고 서로 평행하게 배열된 제2 배선들 일 예로서, 워드라인들(W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>, W<sub>4</sub>)이 배치될 수 있다. 상기 비트라인들(B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)과 상기 워드라인들(W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>, W<sub>4</sub>)이 교차하는 부분들에서 이들 사이에 강유전성 터널층들(20)이 각각 배치될 수 있다.
- [0063] 비트라인들(B<sub>1</sub>, B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)은 도 1, 도 2a 내지 도 2e를 참조하여 설명한 반도체층(10) 즉, 반도체라인이거나 혹은 상기 반도체층(10)에 접속하는 도전성 라인일 수 있다. 워드라인들(W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>, W<sub>4</sub>)은 도 1, 도 2a 내지 도 2e를 참조하여 설명한 금속층(30) 즉, 금속라인이거나 혹은 상기 금속층(30)에 접속하는 도전성 라인일 수 있다.
- [0064] 이러한 크로스포인트 소자에서 강유전성 터널층들(20) 각각에 고저항 상태 (ex. 데이터 1) 또는 저저항 상태 (ex. 데이터 2)를 기입한 후, 저장된 데이터를 읽는 과정을 살펴보기로 한다. 하나의 워드라인 일 예로서, W<sub>4</sub>와 하나의 비트라인 일 예로서, B<sub>4</sub>를 선택하여, 상기 선택된 워드라인(W<sub>4</sub>)에 1/2 Vread를 인가하고 또한 상기 선택된 비트라인(B<sub>4</sub>)에 -1/2 Vread를 인가하고 선택되지 않은 워드라인들(W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>)과 비트라인들(B<sub>2</sub>, B<sub>3</sub>, B<sub>4</sub>)에 0V를 인가한 후, 상기 선택된 비트라인(B<sub>4</sub>)에 흐르는 읽기 전류(RC)를 센싱하고자 할 때, 상기 선택된 워드라인(W<sub>4</sub>)과 상기 선택된 비트라인(B<sub>4</sub>) 사이의 선택된 강유전성 터널층들에는 Vread가 인가되어 저장된 저항상태 또는 정보를 읽을 수 있다. 다만 이 때, 상기 선택된 비트라인(B<sub>4</sub>)과 선택되지 않은 워드라인들(W<sub>1</sub>, W<sub>2</sub>, W<sub>3</sub>) 사이의 강유전성 터널층들에는 1/2 Vread가 인가될 수 있다. 그러나, 앞서 설명한 바와 같이 본 실시예에 따른 소자는 온 상태에서 전자가 직접 터널링하는 상태와 전자가 FN 터널링 하는 상태를 제공하고, 전자의 F-N 터널링에 의존하는 S4 상태 내에서 읽기 전압(Vread)을 선택하고 직접 터널링에 의존하는 S3 상태에서 1/2 읽기 전압(1/2 Vread)을 선택하는 경우, 읽기 전압과 1/2 읽기 전압의 큰 차이를 유도할 수 있어, 상기 소자들이 매트릭스 형태로 배열된 크로스 포인트 메모리에서 읽기 마진을 크게 높힐 수 있다.

[0066] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예(example)를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.

[0068] **소자 제조예 1 내지 6: Nb:STO/BCFO/Pt 구조의 소자**

[0069] Nb:STO (Nb 도핑된 SrTiO<sub>3</sub>)(001) 기판 상에 Bi<sub>0.9</sub>Ca<sub>0.1</sub>FeO<sub>3</sub>(이하, BCFO)층을 또한 펄스 레이저 증착법을 사용하여 형성하였다. 상기 펄스 레이저 증착법을 사용하여 BCFO 층을 형성할 때, 챔버 내 진공도는 5 x 10<sup>-6</sup> bar 이하이고, 온도는 525 °C, 산소분압은 100 mTorr, 레이저 파워는 1.0 J/cm<sup>2</sup>, 레이저 frequency는 2 Hz, 및 증착률은 10 nm/min였다. 상기 BCFO층 상에 Pt층을 스퍼터링 (Ar가스를 이용한 이온플라즈마 증착법)을 사용하여 50 nm의 두께로 형성하였다. 소자 제조예들 1 내지 6에 따른 소자들은 표 1에 나타낸 바와 같이 BCFO층의 두께를 달리하여 제조되었다.

[0071] **소자 제조예 7 내지 9: Nb:STO/annealed BCFO/Pt 구조의 소자**

[0072] Pt층을 형성하기 전에 BCFO층을, 챔버 내 진공도는 5 x 10<sup>-6</sup> bar 이하이고, 산소분압은 5 mTorr 그리고 525 °C의 조건에서 급속열처리(Rapid Thermal Annealing)한 것을 제외하고는 소자 제조예 4와 동일한 방법을 사용하여 소자를 제조하였다. 다만, 소자 제조예들 7 내지 9에 따른 소자들은 하기 표 1에 나타낸 바와 같이 열처리 시간을 달리하여 제조되었다.

[0074] **소자 제조예 10: Nb:STO/annealed BCFO/Pt 구조의 소자**

[0075] Pt층을 형성하기 전에 BCFO층을, 챔버 내 진공도는 5 x 10<sup>-6</sup> bar 이하이고, 산소분압 5 mTorr 그리고 525 °C의 조건에서 30분 동안 급속열처리(Rapid Thermal Annealing)한 것을 제외하고는 소자 제조예 3과 동일한 방법을 사용하여 소자를 제조하였다.

[0076] 상기 소자 제조예 3 또는 4에 따른 BCFO층 내의 산소공공(화학식 1의 δ)은 0.31 였고 상기 소자 제조예 10 또는 9에 따른 BCFO층 내의 산소공공(화학식 2의 γ)이 0.66 였다. 상기 산소공공의 함량은 XPS (X-ray Photoelectron Spectroscopy) 측정 결과에서 Metal-oxygen 결합에 해당하는 피크를 분석하여 산소공공의 비 얻어낸 결과이다.

**표 1**

[0077]

	BCFO 두께	열처리 시간
소자 제조예 1	1 nm	-
소자 제조예 2	2 nm	-
소자 제조예 3	3 nm	-
소자 제조예 4	4 nm	-
소자 제조예 5	5 nm	-
소자 제조예 6	7 nm	-
소자 제조예 7	4 nm	1 min
소자 제조예 8	4 nm	10 min
소자 제조예 9	4 nm	30 min
소자 제조예 10	3 nm	30 min

[0079] 도 5a는 소자 제조예들 1 내지 6에 따라 제조된 소자들의 BCFO층의 두께에 따른 온 전류와 오프 전류를 보여주는 그래프이고, 도 5b는 소자 제조예들 1 내지 6에 따라 제조된 소자들의 BCFO층의 두께에 따른 온 전류/오프 전류 비를 보여주는 그래프이다. 이 때, 온 전류는 BCFO층의 분극 방향이 Nb:STO층을 향하도록 셋(set)시킨 상태에서, Nb:STO층을 접지시키고 Pt층에 -1V를 가한 상태에서 측정하였고, 오프 전류는 BCFO층의 분극 방향이 Pt층을 향하도록 리셋(reset)시킨 상태에서, Nb:STO층을 접지시키고 Pt층에 -1V를 가한 상태에서 측정하였다.

[0080] 도 5a 및 도 5b를 참조하면, BCFO층이 2 내지 5nm일 때 양호한 온/오프 전류 비를 나타내는 것을 알 수 있다. 다만, BCFO층이 2nm일 때는 다소 큰 오프 전류 혹은 누설전류를 나타내므로, BCFO층은 3 내지 5nm를 가질 때 오프 전류가 낮으면서도 양호한 온/오프 전류비를 갖는 것을 알 수 있다.

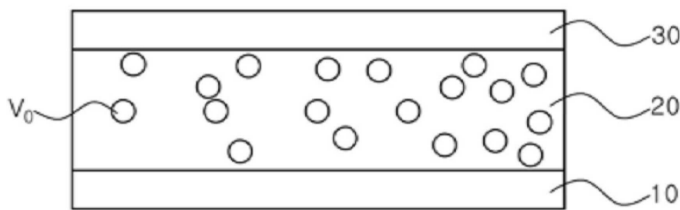
[0082] 도 6a, 도 6b, 도 6c, 및 도 6d는 소자 제조예들 2, 3, 5, 및 6에 따라 제조된 소자들의 셋 상태에서의 I-V 커

브들을 각각 나타낸 그래프들이다.

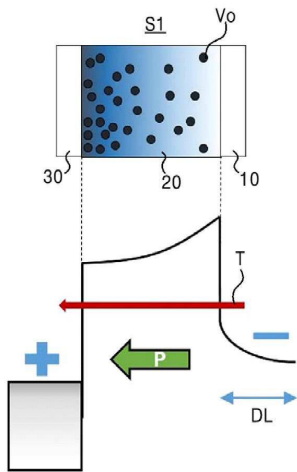
- [0083] 도 6a, 도 6b, 도 6c, 및 도 6d를 참조하면, 강유전체 박막의 두께에 따라 터널링 전류가 우세해지면서 상대적으로 선형에 가까운 전기적 특성이 나타나게 된다. 구체적으로, 강유전체 박막의 두께가 5 nm이하일 때 터널링 전류가 우세한 것을 알 수 있다. 다만, 강유전체 박막의 두께가 2 nm로 매우 얇은 경우, 기울기가 일정한 선형적인 I-V 그래프를 나타내어 메모리 집적도에 불리한 점으로 작용할 수도 있다. 따라서, 강유전체 박막인 BCFO층이 3 내지 5nm의 두께를 갖는 것이 비교적 바람직한 것으로 판단할 수 있다.
- [0085] 도 7은 소자 제조예들 4, 7, 8, 및 9에 따라 제조된 소자들의 전압-전류 그래프이다. 이 소자들은 강유전체 박막인 BCFO층의 두께를 4nm로 고정한 상태에서 열처리 시간만을 달리하여 제조되었다.
- [0086] 도 7을 참조하면, 소자 제조예 4에 따른 소자(pristine) 대비 열처리 온도를 1분, 10분, 그리고 30분으로 증가시킨 소자는 온 상태에서 1/2 읽기 전압(-0.5V)에 대한 읽기 전압(-1V)의 비가 점차 증가하는 것을 알 수 있다. 특히, 열처리 온도가 30분인 소자는 음의 전압이 인가되는 영역에서 기울기가 급격하게 증가하는 영역이 나타나는데, 이 영역은 앞서 설명한 바와 같은 FN 터널링에 의한 것으로 추정되었다.
- [0088] 도 8는 소자 제조예 3, 9, 및 10에 따라 제조된 소자를 크로스포인트 메모리 소자로 구성하였을 때 워드라인의 갯수에 따른 읽기 마진(read margin)을 나타낸 그래프이다. 이 때, 크로스포인트 메모리 소자는 Nb:STO (Nb 도핑된 SrTiO<sub>3</sub>)인 복수의 워드라인들과 Pt인 복수의 비트라인들이 교차하는 영역에 BCFO층이 배치된 구조를 가진다. 또한, 읽기 마진은 하나의 셀이 선택되었을 때, 그 셀에 연결된 워드라인에 가해진 전압(V<sub>pu</sub>)에 대해, 그 셀이 저저항 상태일 때의 출력 전압과 고저항 상태일 때의 출력 전압의 차이( $\Delta V = V_{out}(LRS) - V_{out}(HRS)$ )의 비를 말하며, 읽기 전압에 따라 달라질 수 있다. 또한, 10% 이상의 읽기 마진을 나타내어야 크로스포인트 메모리로 사용될 수 있다.
- [0089] 도 10을 참조하면, 읽기 마진이 10%를 기준으로, 강유전체층이 30분 열처리된 소자들은 가능한 워드라인의 수가 약 1000개 이상인 것으로 나타났다.
- [0090]
- [0091] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

**도면**

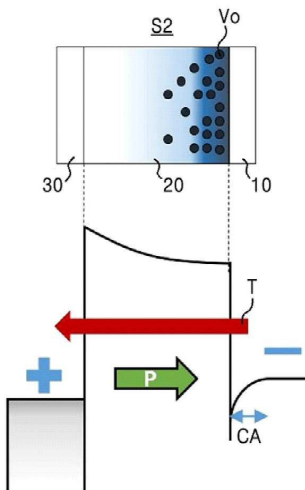
**도면1**



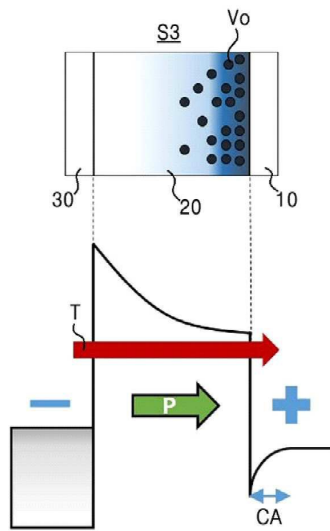
도면2a



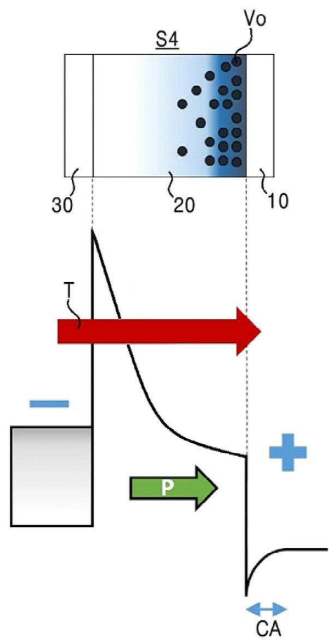
도면2b



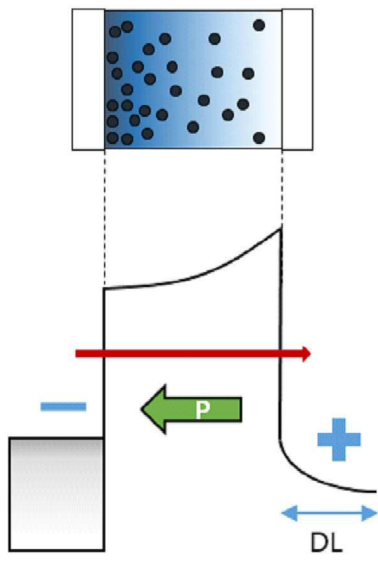
도면2c



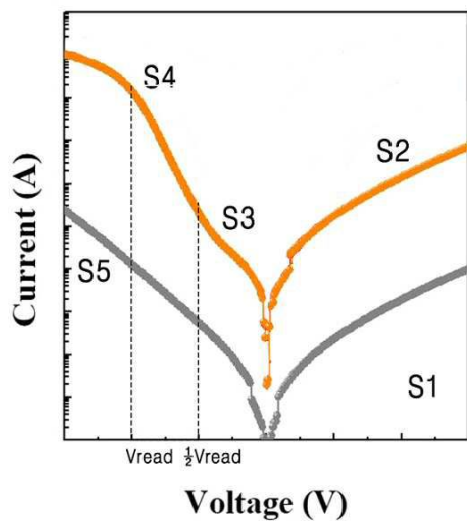
도면2d



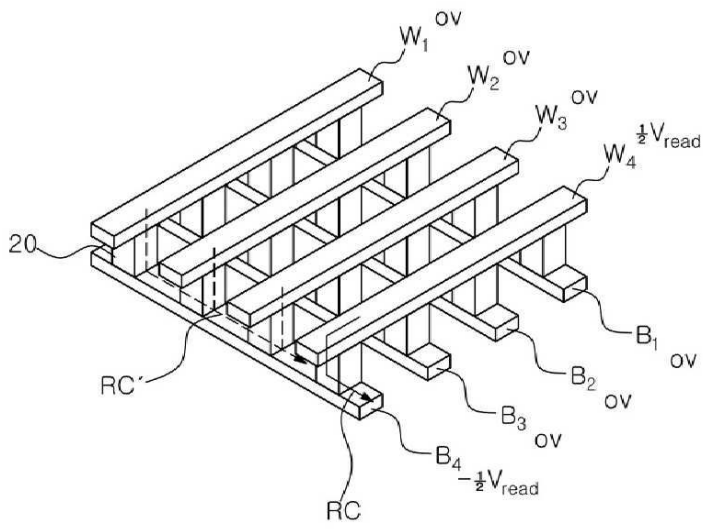
도면2e



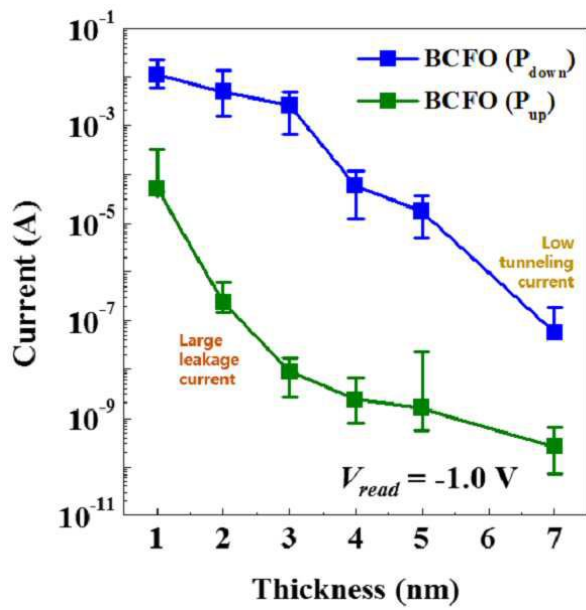
도면3



도면4

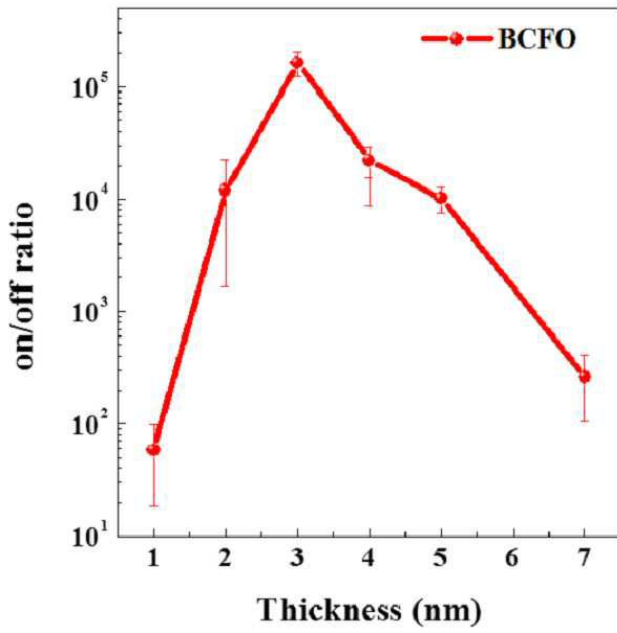


도면5a

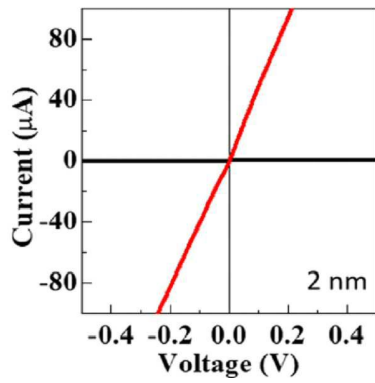




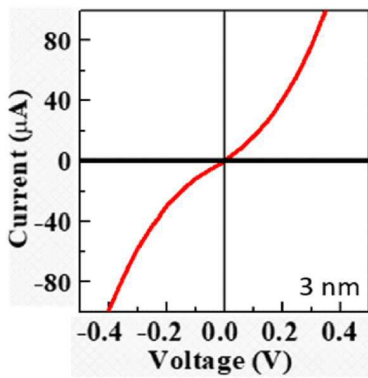
도면5b



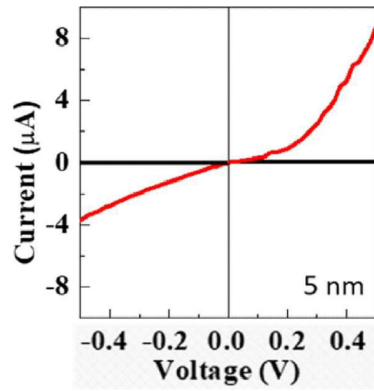
도면6a



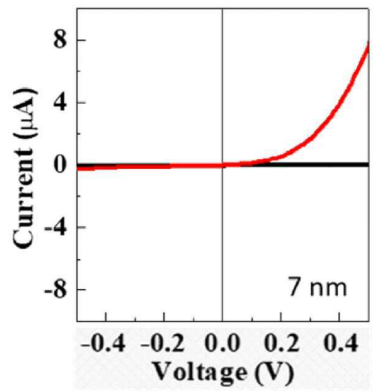
도면6b



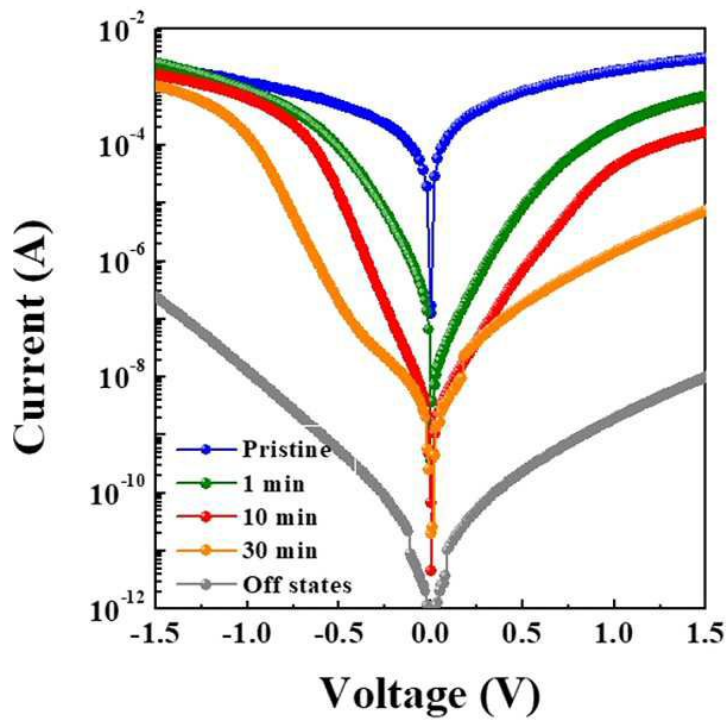
도면6c



도면6d



도면7



도면8

