



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월01일
(11) 등록번호 10-2259199
(24) 등록일자 2021년05월26일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01)
(52) CPC특허분류
H01L 45/141 (2013.01)
H01L 45/122 (2013.01)
(21) 출원번호 10-2019-0168802
(22) 출원일자 2019년12월17일
심사청구일자 2019년12월17일
(65) 공개번호 10-2020-0074900
(43) 공개일자 2020년06월25일
(30) 우선권주장
1020180162933 2018년12월17일 대한민국(KR)
(56) 선행기술조사문헌
KR101505495 B1*
KR1020130061467 A*
Su-Ting Han, et, al. Black Phosphorus Quantum
Dots with Tunable Memory Properties and
Multilevel Resistive Switching
Characteristics. Adv. Sci. 2017,
1600435(2017.03.16.) 1부.*
CN106876584 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김덕기
서울특별시 노원구 노원로 62 효성화운트빌 309동
703호
타라르 샤니아 레만
서울특별시 광진구 광나루로17길 14-4, 301호 (군
자동)
김홍균
서울특별시 동대문구 무학로26길 30 신동아아파트
4동 1704호
(74) 대리인
특허법인이상

전체 청구항 수 : 총 9 항

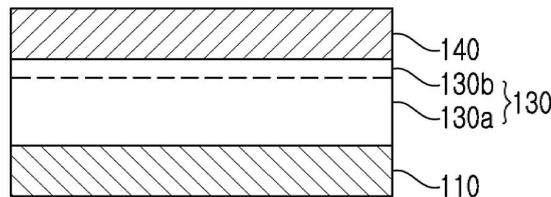
심사관 : 임창연

(54) 발명의 명칭 **흑린층을 활성층으로 포함하는 저항 변화 메모리 소자 및 이의 제조방법**

(57) 요약

저항 변화 메모리 소자 및 이의 제조방법을 제공한다. 상기 저항 변화 메모리 소자는 제 1 전극과 이온화 가능한 금속을 함유하는 전기화학적으로 활성인 전도성막인 제2 전극을 구비한다. 상기 제1 전극과 상기 제2 전극의 사이에 흑린층을 포함하는 활성층이 배치된다.

대표도 - 도1b



(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/1608 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711075675
 부처명 과학기술정보통신부
 과제관리(전문)기관명 한국연구재단
 연구사업명 나노·소재기술개발
 연구과제명 M3D 집적 초절전 아키텍처 구현을 위한 저온공정 및 원자스위치 소자 개발
 기여율 25/100
 과제수행기관명 성균관대학교(자연과학캠퍼스)
 연구기간 2018.05.01 ~ 2019.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1711074155
 부처명 과학기술정보통신부
 과제관리(전문)기관명 한국산업기술평가관리원
 연구사업명 전자정보디바이스산업원천기술개발(정보화)
 연구과제명 공정 조건에 따른 박막 stress 변화에 대한 이론적 해석 및 simulation model 개발
 기여율 50/100
 과제수행기관명 세종대학교산학협력단
 연구기간 2018.04.01 ~ 2018.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1345278925
 부처명 교육부
 과제관리(전문)기관명 한국연구재단
 연구사업명 개인기초연구(교육부)(R&D)
 연구과제명 초절전 원자 스위치 소자용 산소공공 방지막을 가진 이중층 고체 전해질 및 열역학
 적 동작 기구 연구
 기여율 25/100
 과제수행기관명 세종대학교산학협력단
 연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

제 1 전극;

이온화 가능한 금속을 함유하는 전기화학적으로 활성인 전도성막인 제2 전극; 및

상기 제1 전극과 상기 제2 전극의 사이에 차례로 배치된 흑린층 및 흑린 산화물층을 포함하는 활성층을 포함하
되,

상기 흑린층 및 상기 흑린 산화물층은 상기 제2 전극으로부터 이온화된 금속을 전도하는 고체 전해질막인 저항
변화 메모리 소자.

청구항 2

청구항 1에 있어서,

상기 활성층은 10 내지 200 nm의 두께를 갖는 저항 변화 메모리 소자.

청구항 3

청구항 2에 있어서,

상기 활성층은 30 내지 100 nm의 두께를 갖는 저항 변화 메모리 소자.

청구항 4

청구항 1에 있어서,

상기 저항 변화 메모리 소자는 10^2 내지 10^5 의 온/오프 비율을 나타내는 것인 저항 변화 메모리 소자.

청구항 5

삭제

청구항 6

청구항 1에 있어서,

상기 흑린 산화물층은 3 nm 내지 10 nm의 두께를 갖는 저항 변화 메모리 소자.

청구항 7

청구항 1에 있어서,

상기 제 2 전극은 Cu 또는 Ag를 함유하는 전도성막인 저항 변화 메모리 소자.

청구항 8

제1 전극을 제공하는 단계;

상기 제1 전극 상에 흑린층을 형성하는 단계;

상기 흑린층의 상부 표면을 산화하여 흑린 산화물층을 형성하는 단계; 및

상기 흑린 산화물층 상에 제2 전극을 형성하는 단계를 포함하고,

상기 제1 전극과 상기 제2 전극 중 어느 하나는 이온화 가능한 금속을 함유하는 전기화학적으로 활성인 전도성
막이고,

상기 흑린층 및 상기 흑린 산화물층은 상기 제2 전극으로부터 이온화된 금속을 전도하는 고체전해질막인 저항 변화 메모리 소자 제조방법.

청구항 9

청구항 8에 있어서,

상기 흑린층을 형성하는 것은 미세 기계 박리 및 전사법을 사용하여 수행하는 저항 변화 메모리 소자 제조방법.

청구항 10

삭제

청구항 11

청구항 8에 있어서,

상기 흑린층의 상부 표면을 산화하는 것은,

산소를 포함하는 분위기에서 상기 흑린층의 상부 표면에 자외선을 조사하여 수행하는 저항 변화 메모리 소자 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 보다 상세하게는 저항 변화 메모리 소자에 관한 것이다.

배경 기술

[0002] 현재 비휘발성 메모리로 상용화된 플래시 메모리의 경우, 전하저장층 내에 전하를 저장 또는 제거함에 따른 문턱 전압의 변화를 사용한다. 상기 전하저장층은 폴리 실리콘막인 부유 게이트 또는 실리콘 질화막인 전하 트랩층일 수 있다. 최근, 상기 플래시 메모리 소자에 비해 소비전력이 낮고 집적도가 높은 새로운 차세대 비휘발성 메모리 소자들이 연구되고 있다. 상기 차세대 비휘발성 메모리 소자들의 예로는 상변화형 메모리 소자(phase change RAM; PRAM), 자기 메모리 소자(magnetic RAM; MRAM) 및 저항 변화 메모리 소자(resistance change RAM; ReRAM)가 있다.

[0003] 이러한 차세대 비휘발성 메모리 소자들 중 상기 저항 변화 메모리 소자는 플래시 메모리 대비 프로그램 동작이 빠르고 비교적 낮은 전압에서 동작이 가능하며, 3차원 크로스 바 에러이(3D cross-bar array)가 가능하여 매우 높은 집적도를 가질 수 있음이 장점으로 평가되고 있다.

[0004] 그러나, 이러한 장점에도 불구하고, 소자 집적도 증가에 따른 소비전력 증가를 억제하기 위해, 저항 변화 메모리 소자의 동작 전압의 추가 감소가 필요한 실정이다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 동작전압 범위 감소에 따른 낮은 전력을 소비하는 저항 변화 메모리 소자를 제공함에 있다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 이루기 위하여 본 발명의 일 실시예는 저항 변화 메모리 소자를 제공한다. 상기 저항 변화 메모리 소자는 제 1 전극과 이온화 가능한 금속을 함유하는 전기화학적으로 활성인 전도성막인 제2 전극을 구비한다. 상기 제1 전극과 상기 제2 전극의 사이에 흑린층을 포함하는 활성층이 배치된다.

[0008] 상기 활성층은 10 내지 200 nm의 두께를 가질 수 있다. 상기 활성층은 30 내지 100 nm의 두께를 가질 수 있다.

상기 저항 변화 메모리 소자는 10^2 내지 10^5 의 온/오프 비율을 나타낼 수 있다. 상기 활성층은 상기 흑린층 상에 흑린 산화물층을 더 포함할 수 있다. 상기 흑린 산화물층은 3 nm 내지 10 nm 의 두께를 가질 수 있다. 상기 제 2 전극은 Cu 또는 Ag를 함유하는 전도성막일 수 있다.

[0009] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 실시예는 저항 변화 메모리 소자 제조방법을 제공한다. 상기 제조방법은 제1 전극을 제공하는 단계, 상기 제1 전극 상에 흑린층을 형성하는 단계, 및 상기 흑린층 상에 제2 전극을 형성하는 단계를 포함한다. 상기 제1 전극과 상기 제2 전극 중 어느 하나는 이온화 가능한 금속을 함유하는 전기화학적으로 활성인 전도성막이다.

[0010] 상기 흑린층을 형성하는 것은 미세 기계 박리 및 전사법을 사용하여 수행할 수 있다. 상기 제2 전극을 형성하기 전에, 상기 흑린층의 상부 표면을 산화하여 흑린 산화물층을 형성하는 단계를 더 포함할 수 있다. 상기 흑린층의 상부 표면을 산화하는 것은, 산소를 포함하는 분위기에서 상기 흑린층의 상부 표면에 자외선을 조사하여 수행할 수 있다.

발명의 효과

[0011] 상술한 바와 같이 본 발명 실시예에 따른 저항 변화 메모리 소자는 활성층으로 전혀 새로운 물질인 흑린을 구비하면서 흑린 활성층 내에서 금속 필라멘트의 생성과 소멸에 의한 저항성 스위칭을 구현할 수 있어, 낮은 동작법위를 나타내는 등 소비전력이 낮을 수 있다.

[0012] 또한, 본 발명의 실시예에 따른 저항 변화 메모리 소자는, 활성층으로 특정 범위의 두께를 갖는 흑린층을 구비하거나, 혹은 흑린층과 흑린산화물층의 이중층을 구비하여 안정적인 온/오프 비율을 구현할 수 있다.

[0013] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예(example)를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.

도면의 간단한 설명

- [0014] 도 1a는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자를 나타낸 단면도이다.
- 도 1b는 본 발명의 다른 실시예에 따른 저항 변화 메모리 소자를 나타낸 단면도이다.
- 도 2a, 도 2b, 도 2c, 및 도 2d는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 전류-전압 특성을 설명하기 위한 단면도들이다.
- 도 3은 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 전류-전압 그래프이다.
- 도 4는 소자 제조예 5에 따른 소자를 촬영한 광학사진이다.
- 도 5는 소자 제조예 1, 3, 및 5에 따른 과정 중 얻어진 BP층에 대한 라만 스펙트럼(a) 및 BP층의 두께에 따른 A_g^2/A_g^1 강도 비를 나타낸 그래프(b)이다.
- 도 6은 소자 제조예들 1 내지 5, 및 소자 비교예에 따른 소자의 I-V 곡선들을 나타낸다.
- 도 7은 소자 제조예 5에 따른 소자를 반복적으로 스위칭할 때 저저항상태(LRS)와 고저항상태(HRS)의 누적분포를 나타낸 그래프이다.
- 도 8은 소자 제조예 6에 따른 소자를 촬영한 광학사진이다.
- 도 9는 소자 제조예 6에 따른 과정 중 얻어진 BP층과 BP 산화물층을 구비하는 활성층에 대한 X-선 광전자 분광 스펙트럼(XPS)을 보여준다.
- 도 10은 소자 제조예 6에 따른 소자의 I-V 곡선들을 나타낸다.
- 도 11은 소자 제조예 5에 따른 소자(a)와 소자 제조예 6에 따른 소자(b)의 저저항상태(LRS)와 고저항상태(HRS)에서 저항유지특성을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화

될 수도 있다. 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

- [0016]
- [0017] 도 1a은 본 발명의 일 실시예에 따른 저항 변화 메모리 소자를 나타낸 단면도이다.
- [0018] 도 1a를 참조하면, 기판(미도시) 상에 제1 전극(110)을 형성할 수 있다. 제1 전극(110)은 전기화학적으로 비활성인 전도성 막으로, Pt, Ru, Au, TiN, TaN, 또는 ITO (Indium Tin Oxide)일 수 있다. 이 때, 전기화학적으로 비활성이라는 것은 전극을 구성하는 금속이 이온화되어 후술하는 활성층 내로 확산되거나 혹은 활성층 내의 산소이온에 의해 산화되지 않음을 의미할 수 있다.
- [0019] 상기 제1 전극(110) 상에 활성층으로서 흑린층(130)을 형성할 수 있다. 흑린(Black Phosphorus) 혹은 BP는 인의 가장 안정적인 동소체로서, 다수의 인 원자층들이 약한 반데르발스 상호 작용을 통해 적층된 구조를 갖는다. 흑린은 그래핀과 유사하게 포스포렌(phosphorene)으로 분리될 수도 있다. 이러한 흑린은 두께에 따라 ~0.3 eV 내지 ~2.0 eV 범위의 밴드갭을 갖는 반도체이다. 상기 흑린층(130)은 10 내지 200 nm 일 예로서, 15 내지 100nm, 구체적으로는 30 내지 90nm일 수 있다.
- [0020] 이 흑린층(130)은 미세 기계 박리, 화학 기상 증착, 화학 박리 및 액상 박리를 사용하여 형성할 수 있다. 일 예로서, 상기 흑린층(130)은 스탬프 표면에 설치된 접촉성 테이프를 사용하여 벌크 흑린 결정으로부터 박리된 후 상기 제1 전극(110) 상에 전사되어 형성될 수 있다. 이러한 방법은 미세 기계 박리로 분리되며, 결정 품질이 우수한 흑린층(130)을 형성할 수 있다.
- [0021] 상기 흑린층(130) 상에 제2 전극(140)을 형성할 수 있다. 제2 전극(140)은 상기 제1 전극(110)과는 달리 이온화 가능한 금속을 함유하여 함유된 금속이 이온화되어 상기 활성층(130) 내로 유입될 수 있는 전기화학적으로 활성인 전도성막 일 예로서, Cu 또는 Ag층일 수 있다.
- [0022] 본 실시예에서, 제1 전극(110)이 전기화학적으로 비활성인 전도성막이고 제2 전극(140)은 전기화학적으로 활성을 갖는 전도성막으로 기술하였으나, 이에 한정되지 않고 상기 제1 전극(110)이 전기화학적으로 활성을 갖는 전도성막이고 제2 전극(140)은 전기화학적으로 비활성인 전도성막일 수 있다. 상기 제1 전극(110) 또는 상기 제2 전극(140)은 리프트오프법을 사용하여 형성할 수 있다.
- [0023] 상기 흑린층 즉, 활성층(130)은 소자의 동작과정에서 전기화학적으로 활성인 상기 제2 전극(140)으로부터 생성된 금속이온을 전도하는 고체 전해질막의 역할을 수행할 수 있다. 또한, 상기 두께 범위를 갖는 흑린층(130)은 공기 중에 노출되어 표면이 일부 산화되더라도 활성층 혹은 저항변화층으로서의 안정적으로 역할을 수행할 수 있다. 일 예로서, 상기 흑린층(130)이 상기 두께범위를 가질 때 본 실시예에 따른 저항 변화 소자는 10 내지 10^4 , 구체적으로는 10^2 내지 10^4 의 우수한 온/오프 비율을 나타낼 수 있다. 또한, 본 실시예에 따른 저항 변화 소자는 1V 미만의 낮은 동작 전압 범위 내에서 동작할 수 있어 소비전력이 낮을 수 있다.
- [0025] 도 1b는 본 발명의 다른 실시예에 따른 저항 변화 메모리 소자를 나타낸 단면도이다. 본 실시예에 따른 저항 변화 메모리 소자는 후술하는 것을 제외하고는 도 1a를 참조하여 설명한 저항 변화 메모리 소자와 실질적으로 동일하다.
- [0026] 도 1b를 참조하면, 상기 제1 전극(110) 상에 흑린층(미도시)을 형성할 수 있다. 상기 흑린층은 10 내지 200 nm 일 예로서, 15 내지 100nm, 구체적으로는 30 내지 90nm일 수 있다.
- [0027] 상기 흑린층의 상부 표면을 산화시켜 상기 흑린층의 상부 부분에 흑린 산화물층을 형성할 수 있다. 그 결과, 활성층(130)은 제1 전극과 인접한 흑린층(130a)과 상기 흑린층(130a) 상부에 흑린 산화물층(130b)을 구비할 수 있다.
- [0028] 상기 흑린층의 상부 표면을 산화시키는 것은, 산소를 함유하는 분위기 다시 말해서, 산소 분위기 혹은 대기 중에서, 상기 흑린층의 상부 표면에 자외선 일 예로서 원자외선(deep UV)를 조사하여 수행할 수 있다. 상기 흑린 산화물층(130b)의 두께는 3 nm 내지 10 nm 일 수 있다.
- [0029] 상기 활성층(130) 즉, 상기 흑린층(130a)과 그의 상부에 위치하는 흑린 산화물층(130b)은 소자의 동작과정에서 전기화학적으로 활성인 상기 제2 전극(140)으로부터 생성된 금속이온을 전도하는 고체 전해질막의 역할을 수행할 수 있다. 이러한 흑린 산화물층(130b)은 흑린의 자연산화물로서 하부 흑린층(130a)이 공기 중의 산소 혹은 물에 의해 추가적으로 산화되는 것을 방지하는 캡핑층일 수 있다. 또한, 상기 흑린층(130a)과 흑린 산화물층

(130b)의 이중층을 구비하는 활성층(130)을 갖는 본 실시예에 따른 저항 변화 소자는 $\sim 10^5$ 의 우수한 온/오프 비율을 나타낼 수 있다. 또한, 본 실시예에 따른 저항 변화 소자는 1V 미만의 낮은 동작 전압 범위 내에서 동작할 수 있어 소비전력이 낮을 수 있다.

- [0031] 도 2a, 도 2b, 도 2c, 및 도 2d는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 전류-전압 특성을 설명하기 위한 단면도들이다. 도 3은 본 발명의 일 실시예에 따른 저항 변화 메모리 소자의 전류-전압 그래프이다. 도 2a, 도 2b, 도 2c, 도 2d, 및 도 3에서의 저항 변화 메모리 소자는 도 1a 또는 도 1b를 참조하여 설명한 저항 변화 메모리 소자와 동일하다.
- [0032] 도 2a 및 도 3을 참조하면, 제1 전극(110)에 기준전압 예를 들어, 그라운드 전압(V_f)을 인가한 상태에서, 제2 전극(140)에 0V 이상 셋 전압(V_{set}) 미만의 양의 바이어스 전압(V_p , $0 \leq V_p < V_{set}$)을 인가한다(P1). 제2 전극(140)은 앞서 설명한 바와 같이, 전극을 구성하는 금속이 이온화되어 활성층(130) 내로 유입될 수 있는 전기화학적으로 활성인 전도성막으로 일 예로서, Cu 또는 Ag층일 수 있다. 이러한 제2 전극(140)에 양의 바이어스 전압이 인가되면, 제2 전극(140) 내의 금속이 산화되어 금속 양이온의 형태로 상기 활성층(130) 내로 유입될 수 있다. 상기 금속 양이온은 상기 제1 전극(110) 방향으로 이동한 후, 음의 바이어스 전압이 인가되는 제1 전극(110) 상에서 환원된 후 상기 제1 전극(110) 상에 축적되면서 금속 필라멘트(F)를 형성할 수 있다. 그러나, 금속 필라멘트(F)가 제2 전극(140)에 닿을 정도로 축적되지는 못하여 소자는 고저항 상태(high resistance state, HRS)에 있을 수 있다.
- [0033] 도 2b 및 도 3을 참조하면, 상기 제2 전극(140)에 셋 전압(V_{set}) 이상의 양의 바이어스 전압($V_{set} \leq V_p$)을 인가하는 경우, 상기 금속 필라멘트(F)가 제2 전극(140)에 닿을 수 있을 정도로 축적될 수 있다. 그 결과, 제1 전극(110)과 제2 전극(140) 사이에서 전자가 상기 금속 필라멘트(F)를 따라 흐를 수 있어 소자는 저저항 상태(low resistance state, LRS)로 변할 수 있다.
- [0034] 이 후, 상기 제2 전극(140)에 셋 전압(V_{set}) 이하 0V 이상의 양의 바이어스 전압($0 \leq V_p \leq V_{set}$)을 인가하는 경우에, 소자는 저저항 상태(LRS)를 유지할 수 있다(P2).
- [0035] 도 2c 및 도 3을 참조하면, 상기 제2 전극(140)에 0V 이하 리셋 전압(V_{reset}) 초과와 음의 바이어스 전압($V_{reset} < V_n \leq 0$)을 인가하는 경우에도 소자는 저저항 상태(LRS)를 유지할 수 있다(P3).
- [0036] 도 2d 및 도 3을 참조하면, 상기 제2 전극(140)에, 리셋 전압(V_{reset}) 이하의 음의 바이어스 전압(V_n)을 인가하는 경우($V_n \leq V_{reset}$), 상기 제2 전극(140)에 인접한 금속 필라멘트(F)는 산화되어 상기 제2 전극(140)으로부터 탈리될 수 있다. 그 결과, 제1 전극(110)과 제2 전극(140) 사이에서 전자가 이동할 수 있는 경로가 소멸되어 소자는 고저항 상태(high resistance state, HRS)로 변할 수 있다.
- [0037] 이와 같은 동작 메커니즘을 갖는 상기 저항 변화 메모리 소자는 CBRAM(Conductive Bridge Random Access Memory)로 불리워질 수 있다.
- [0039] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예(example)를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.
- [0040] <소자 제조예들 1 내지 5>
- [0041] 300nm의 실리콘 산화막이 형성된 실리콘 기판의 상기 실리콘 산화막 상에 리프트 오프 공정을 사용하여 두께 60nm 및 폭 5mm의 Au 전극을 형성하였다. 이 리프트 오프 공정에서, EL9(Ethyl lactate-9) 및 PMMA(polymethylmethacrylate) 레지스트를 전자빔 리소그래피를 사용하여 패터닝하여 레지스트 패턴을 형성한 후, 레지스트 패턴 상에 전자빔 증발을 사용한 Au층을 증착 후, 아세톤 및 메탄올 혼합액 내에서 레지스트 패턴을 용해하였다. 이어서, PDMS 스탬프상의 스카치 테이프를 사용하여 BP 플레이크를 박리한 후, 박리된 BP층을 상기 Au 전극의 상부로 전사하여 BP 활성층을 형성하였다. 상기 BP 활성층 상에 리프트 오프 공정을 사용하여 폭 5mm 및 두께 60nm의 상부 Cu 전극을 형성하였다. 이 후, 얻어진 결과물을 아세톤에 4시간 동안 침지시킨 후 메탄올로 헹구고, 질소 가스를 사용하여 건조시켰다.
- [0042] 소자 제조예들 1 내지 5에서 상기 BP 활성층의 두께를 2.4nm, 15nm, 32nm, 60nm, 및 85nm로 각각 형성하였다. 상기 BP 활성층의 두께는 AFM(Atomic Force Microscope)을 사용하여 측정된 두께이다.

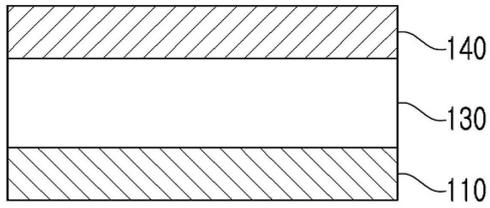
- [0044] <소자 비교예>
- [0045] Cu 전극 대신에, 85nm의 두께를 갖는 BP 활성층 상에 리프트 오프 공정을 사용하여 Au 전극을 형성한 것을 제외하고는 소자 제조에 5와 동일한 방법을 사용하여 소자를 제조하였다.
- [0047] <소자 제조예 6>
- [0048] 소자 제조예 5의 진행과정 중 얻어진 85nm의 두께를 갖는 BP 활성층 상에 전자빔 리소그래피를 사용하여 레지스트 패턴을 형성하여 상기 BP 활성층의 일부 영역을 노출시키고, 노출된 BP 활성층을 산소 분위기에서 220 nm의 파장 및 11 mWcm^{-2} 의 전력 강도를 갖는 DUV 광에 노출시켜 BP 활성층의 상부 일부를 산화시켜, Au 전극 상에 BP 층과 BP 산화물층이 차례로 적층된 활성층을 형성한 것을 제외하고는 소자 제조에 5와 동일한 방법을 사용하여 소자를 제조하였다.
- [0050] 도 4는 소자 제조에 5에 따른 소자를 촬영한 광학사진이다.
- [0051] 도 4를 참조하면, 기관 상에 일 방향으로 연장되는 Au 전극(110)과 이에 교차하는 방향으로 연장되는 Cu 전극(140) 사이에 BP층(130a)이 개재된 것을 확인할 수 있다.
- [0053] 도 5는 소자 제조에 1, 3, 및 5에 따른 과정 중 얻어진 BP층에 대한 라만 스펙트럼(a) 및 BP층의 두께에 따른 A_g^2/A_g^1 강도 비를 나타낸 그래프(b)이다.
- [0054] 도 5를 참조하면, BP층의 두께가 증가함에 따라 A_g^2/A_g^1 강도 비는 감소하는 것으로 나타났다.
- [0055]
- [0056] 도 6은 소자 제조예들 1 내지 5, 및 소자 비교예에 따른 소자의 I-V 곡선들을 나타낸다.
- [0057] 도 6을 참조하면, 소자 제조에 1에 따른 소자(a)는 저항 스위칭을 보여주지 않으며 전류 레벨이 매우 높는데, 이는 2.4nm의 매우 얇은 BP층은 공기 중에서 안정적이지 않기 때문인 것으로 추정되었다.
- [0058] 소자 제조에 2에 따른 소자(b) 즉, 15nm의 BP층을 활성층으로 구비한 소자는 0.36V의 셋 전압에서 고저항 상태(HRS)에서 저저항 상태(LRS)로 천이되고, 역 전압이 인가되었을 때 0.25V의 리셋 전압에서 HRS 상태로 빠르게 복귀하였다. 또한, 소자는 $0.3 \pm 0.06 \text{ V}$ 의 낮은 동작 전압 및 10^1 의 온/오프 비율을 나타내었다. 이와 같이, 소자 제조에 2에 따른 소자(b)는 안정적인 바이폴라 저항 스위칭 특성을 나타내기는 하지만 온/오프 비율이 너무 낮다.
- [0059] 소자 제조에 3에 따른 소자(c) 즉, 32nm의 BP층을 활성층으로 구비한 소자는 소자 제조에 2에 따른 소자(b) 대비 BP층의 두께가 증가하였으나 동작전압은 크게 변화하지 않았다. 그러나, 온/오프 비율은 10^2 로 증가되었다.
- [0060] 소자 제조에 4에 따른 소자(d) 즉, 60nm의 BP층을 활성층으로 구비한 소자는 BP층의 두께가 더 증가됨에 따라 $0.5 \pm 0.1 \text{ V}$ 로 동작 전압이 증가하고 또한 온/오프 비율이 10^3 으로 증가되었다.
- [0061] 소자 제조에 5에 따른 소자(e) 즉, 85nm의 BP층을 활성층으로 구비한 소자는 BP층의 두께가 더 증가됨에 따라 $0.63 \pm 0.08 \text{ V}$ 로 동작 전압이 증가하고 또한 온/오프 비율이 10^4 으로 증가되었다.
- [0062] 위 소자 제조예들 2 내지 5에서 BP층의 두께가 증가함에 따라 온/오프 비율이 증가하는 것은 주로 오프 전류의 감소에 따른 것인데, 이는 BP층의 두께가 증가함에 따라 BP층 내에 적층된 BP 원자층의 개수가 증가하고 이에 따라, 개별 BP 원자층들의 저항의 합 및 BP 원자층들 사이의 저항 즉, 층간 저항의 합이 증가하기 때문으로 추정되었다.
- [0063] 한편, 소자 비교예에 따른 소자(f) 즉, Au층/85nm의 BP층/Au층의 구성을 갖는 소자는 인가되는 전압이 5V로 증가하더라도 저항 스위칭을 보여주지 않는다. 이 소자는 BP층의 상하부에 형성된 전극들이 모두 전기화학적으로 비활성인 Au로 형성된 것인 반면, 소자 제조예들 각각에서의 한쌍의 전극들 중 하나는 전기화학적으로 활성인 Cu로 형성된 차이가 있다. 따라서, 소자 제조예들 2 내지 5에 따른 소자들에서 나타나는 저항성 스위칭 거동은 BP 고체 전해질층 내에서 Cu 필라멘트가 형성 및 용해에 기인하는 것으로 추정가능하다. 또한, 앞서 설명된 소자 제조예들 2 내지 5에 따른 I-V 곡선들은 공간 전하 제한 전류(SCLC)에 따른 거동에 잘 부합하는 것으로 나타났다는데, 이 또한 소자 제조예들 2 내지 5에 따른 소자들에서 나타나는 저항성 스위칭 거동이 BP 고체 전해질

층 내에서 Cu 필라멘트가 형성 및 용해에 기인하는 것을 뒷받침할 수 있다.

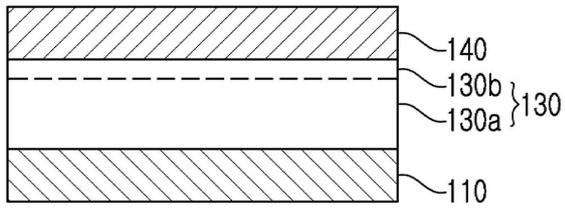
- [0065] 도 7은 소자 제조예 5에 따른 소자를 반복적으로 스위칭할 때 저저항상태(LRS)와 고저항상태(HRS)의 누적분포를 나타낸 그래프이다. 이는 실온에서 소자에 +0.1V의 읽기 바이어스를 가한 상태에서 측정되었다.
- [0066] 도 7을 참조하면, 소자 제조예 5에 따른 소자는 10^4 의 평균 메모리 윈도우를 가짐을 보여준다.
- [0068] 도 8은 소자 제조예 6에 따른 소자를 촬영한 광학사진이다.
- [0069] 도 8을 참조하면, 기관 상에 일 방향으로 연장되는 Au 전극(110)과 이에 교차하는 방향으로 연장되는 Cu 전극(140) 사이에 차례로 적층된 BP층(130a)과 BP 산화물층(130b)을 구비하는 활성층이 개재된 것을 확인할 수 있다.
- [0071] 도 9는 소자 제조예 6에 따른 과정 중 얻어진 BP층과 BP 산화물층을 구비하는 활성층에 대한 X-선 광전자 분광스펙트럼(XPS)을 보여준다.
- [0072] 도 9를 참조하면, 130.01eV 및 130.85eV에서 피크 위치를 갖는 $2p_{3/2}$ 및 $2p_{1/2}$ 오비탈을 나타내는 BP의 특징적인 더블릿 피크(doublet peak)가 관찰된다. 이러한 더블릿 피크 외에도 134.5eV에서 넓은 피크 또한 관찰되는데, 이는 BP 산화물과 관련이 있다. 산화된 인 화합물 (PO_x)이 ~134-135 eV의 범위에서 피크를 나타내기 때문에 이 피크는 인산(phosphate) 종에 해당된다. 이 피크의 존재는 대기 노출로 인한 BP층의 표면 산화를 나타내고, 이는 BP층 표면과 물 및 산소의 흡착 및/또는 반응 때문이다.
- [0074] 도 10은 소자 제조예 6에 따른 소자의 I-V 곡선들을 나타낸다.
- [0075] 도 10을 참조하면, 소자 제조예 6에 따른 소자 즉, Cu/85 nm 두께의 표면 산화된 BP층/Au의 층구조를 갖는 소자는 10^5 의 온/오프 비의 전기적으로 안정적인 저항성 스위칭을 보여주었다. 본 소자는 소자 제조예 6에서 기술된 바와 같이, 85nm 두께의 BP층의 표면을 DUV 광선에 노출시켜 BP층의 표면을 산화시킨 것으로, BP층 표면 산화 과정을 진행하지 않은 소자 제조예 5에 따른 소자 대비, 저항성 스위칭 동작이 저하되지 않는다. 그러나, 소자 제조예 5에 따른 소자의 동작 전압이 $0.6 \pm 0.1V$ 인 것에 비하여 소자 제조예 6에 따른 소자는 동작 전압이 $0.8 \pm 0.1V$ 로 증가하였으며, 또한 소자 제조예 5에 따른 소자의 온/오프 비율이 10^4 인 것에 비하여 소자 제조예 6에 따른 소자는 온/오프 비율이 10^5 으로 증가한 것을 알 수 있다. 이러한 온/오프 비율과 동작 전압의 증가는 산화막 형성에 기인한 것으로 추정되었다. 그러나, 여전히 동작 전압은 1V 미만이다.
- [0076] 또한 소자 제조예 6에 따른 소자의 I-V 곡선 또한 공간 전하 제한 전류 (SCLC)에 따른 거동에 잘 부합하는 것으로 나타났는데, 이로부터 소자 제조예 6에 따른 소자는 소자 제조예들 2 내지 5에 따른 소자들과 마찬가지로 Cu 필라멘트 형성 및 용해로 인한 저항성 스위칭 거동을 나타내는 것을 알 수 있다.
- [0078] 도 11은 소자 제조예 5에 따른 소자(a)와 소자 제조예 6에 따른 소자(b)의 저저항상태(LRS)와 고저항상태(HRS)에서 저항유지특성을 보여주는 그래프이다. 이는 실온의 대기 조건(ambient condition)에서 소자에 +0.1V의 읽기 바이어스를 가한 상태에서 측정되었다.
- [0079] 도 11을 참조하면, 소자 제조예 5에 따른 소자(a)와 소자 제조예 6에 따른 소자(b)는 10^4 초에 이르기까지 10^4 과 10^5 의 메모리 윈도우를 각각 유지하여 우수한 유지 성능을 보여주었다.
- [0081] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

도면

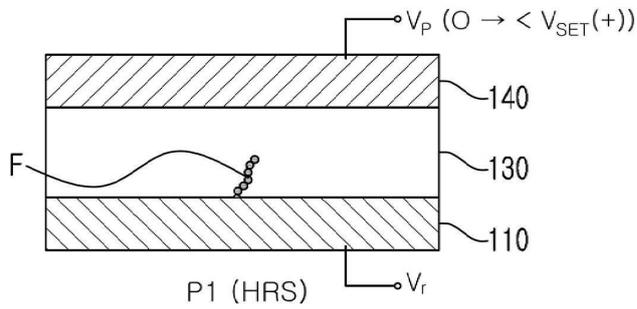
도면1a



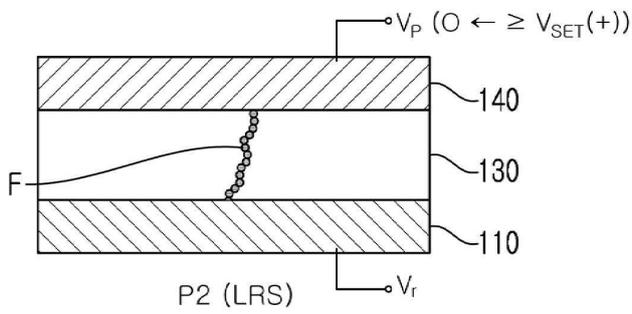
도면1b



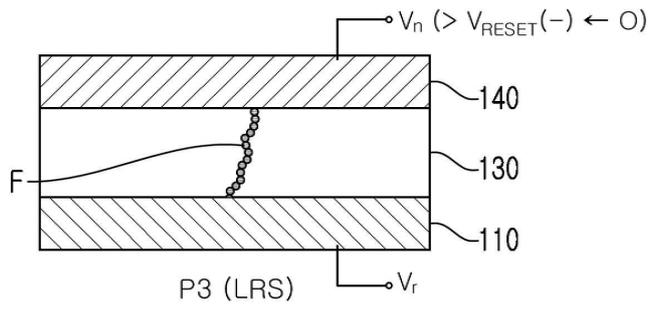
도면2a



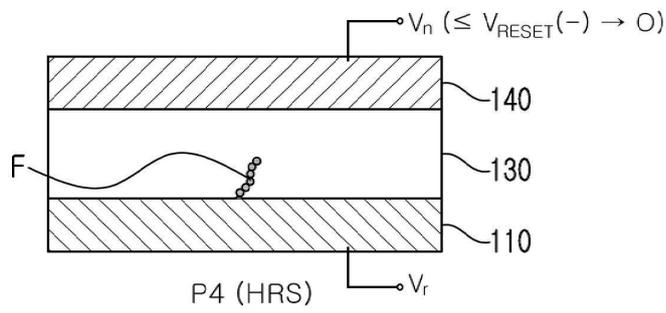
도면2b



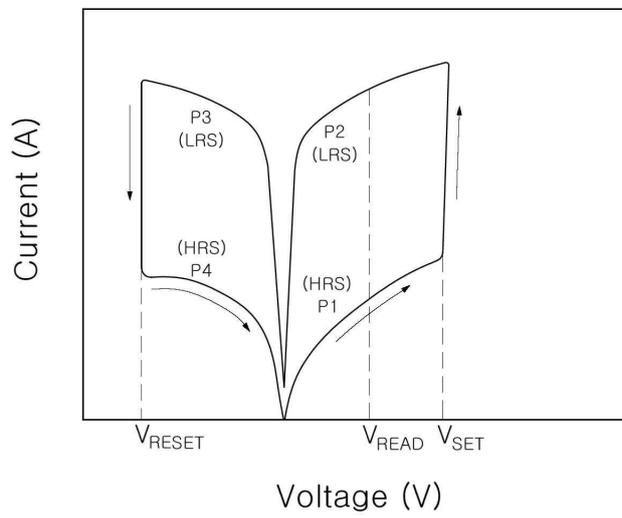
도면2c



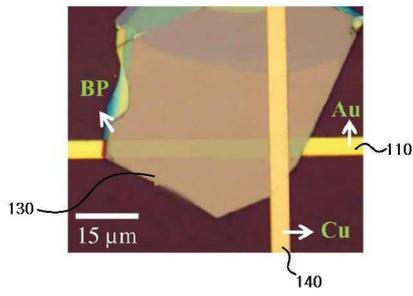
도면2d



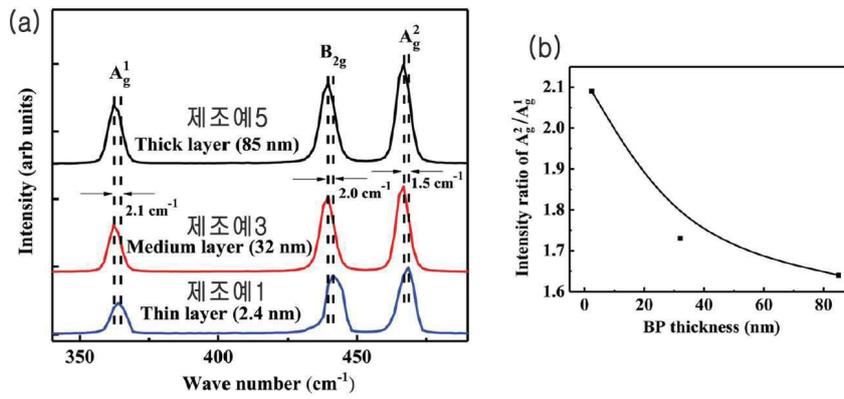
도면3



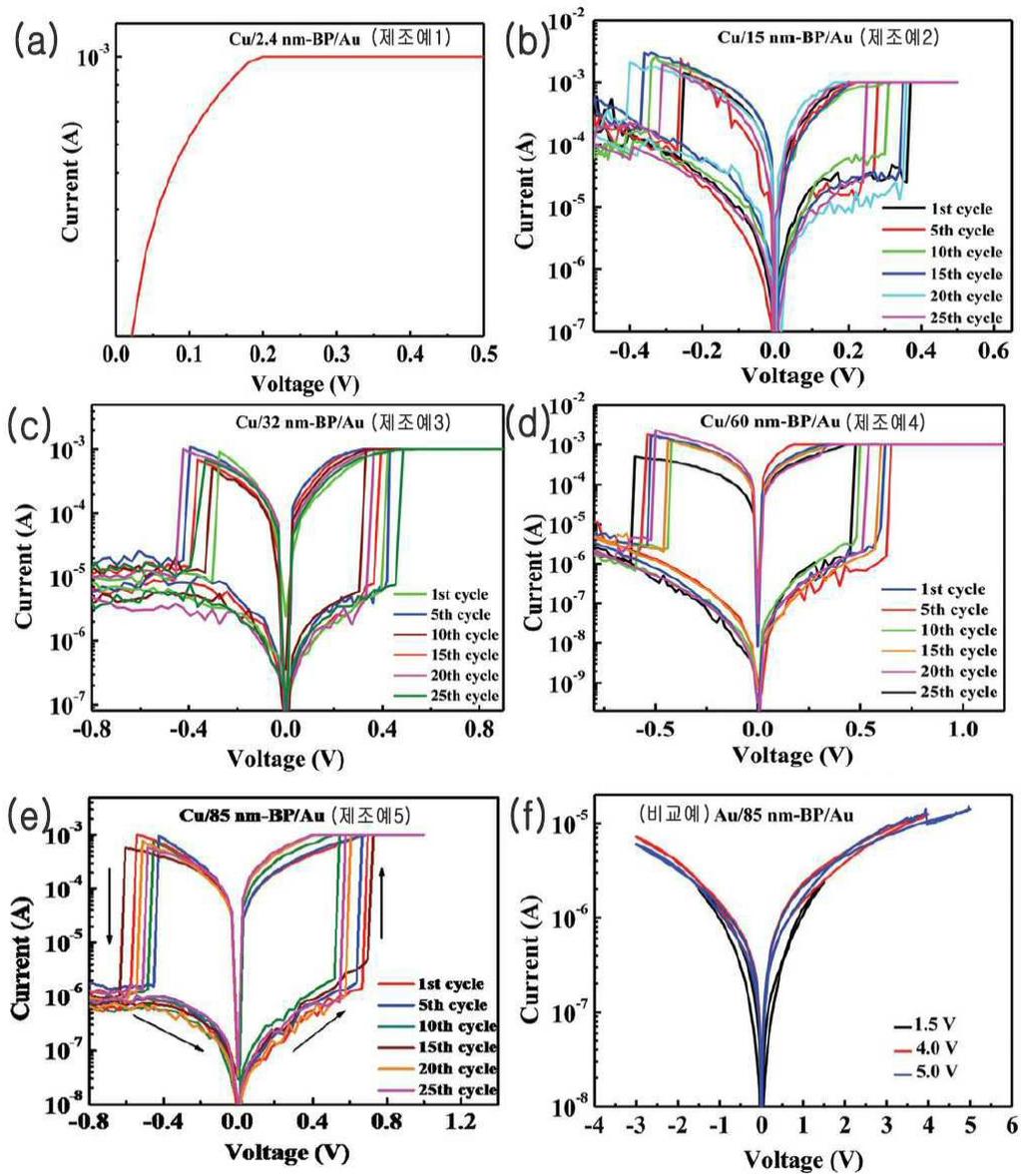
도면4



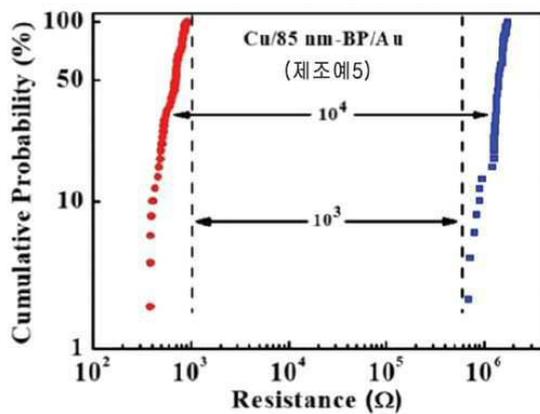
도면5



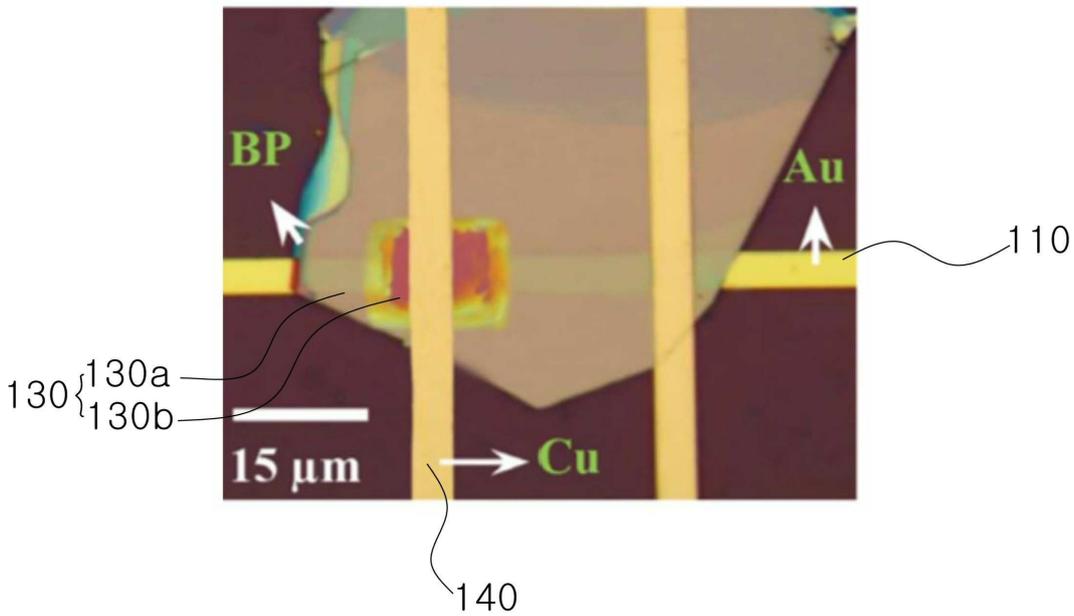
도면6



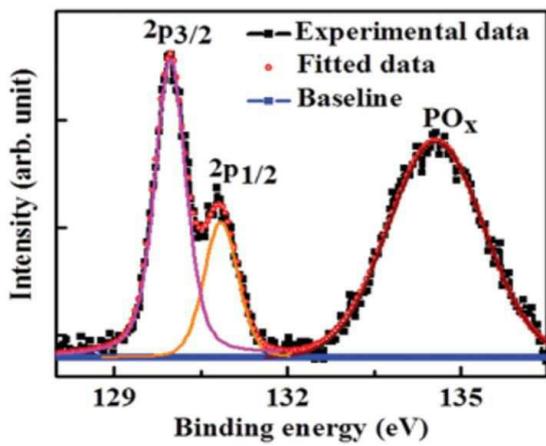
도면7



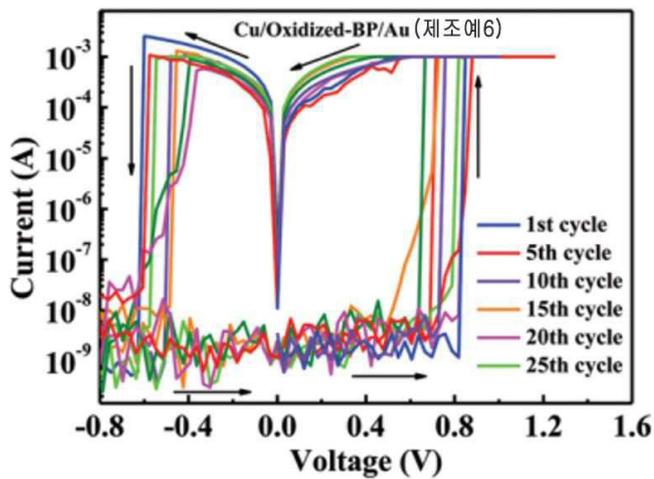
도면8



도면9



도면10



도면11

