



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월28일
(11) 등록번호 10-1731712
(24) 등록일자 2017년04월24일

- (51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) G11C 13/06 (2006.01)
H01F 1/40 (2006.01) H03K 19/168 (2006.01)
- (52) CPC특허분류
G11C 11/16 (2013.01)
G11C 13/06 (2013.01)
- (21) 출원번호 10-2015-0106124
- (22) 출원일자 2015년07월27일
심사청구일자 2015년07월27일
- (65) 공개번호 10-2017-0013111
- (43) 공개일자 2017년02월06일
- (56) 선행기술조사문헌
JP2014175417 A
JP2014086470 A
JP2015100083 A
CN104157297A

- (73) 특허권자
재단법인 파동에너지 극한제어 연구단
대전광역시 유성구 가정북로 156 ,한국기계연구원
원1동412,413,414,415호(장동)
한국기계연구원
대전광역시 유성구 가정북로 156 (장동)
(뒷면에 계속)
- (72) 발명자
김덕중
대전광역시 서구 청사로 70, 108동 402호
김재현
대전광역시 유성구 어은로 51, 128동 605호
(뒷면에 계속)
- (74) 대리인
특허법인 피씨알

전체 청구항 수 : 총 6 항

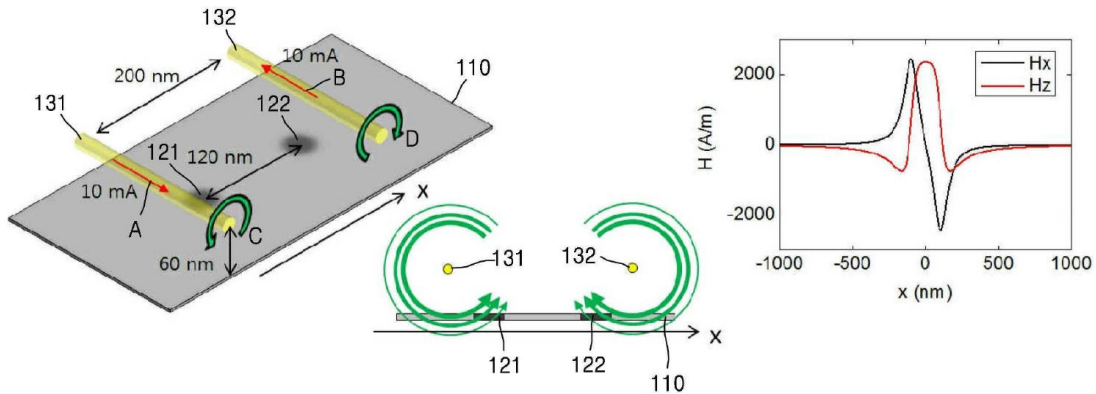
심사관 : 손윤식

(54) 발명의 명칭 스핀파 전달 제어 소자

(57) 요약

본 발명의 일 실시예는 복수 개의 스커미온이 형성된 자성박막; 상기 자성박막의 적어도 일 측에 형성되며 서로 나란하게 형성되는 제1 도선 및 제2 도선; 상기 제1 도선 및 제2 도선에 전류를 공급하는 전원; 및 상기 복수 개의 스커미온 측으로 생성된 스핀파를 전달하는 전선;을 포함하는 스핀파 전달 제어 소자를 개시한다.

대표도



(52) CPC특허분류

H01F 1/408 (2013.01)

H03K 19/168 (2013.01)

(73) 특허권자

한국표준과학연구원

대전 유성구 가정로 267(가정동, 한국표준과학연구원)

세종대학교산학협력단

서울특별시 광진구 능동로 209 (군자동, 세종대학교)

(72) 발명자

이학주

대전광역시 서구 대덕대로 415,102동 807호

황찬용

대전광역시 유성구 가정로 267 한국표준과학연구원

최택집

서울특별시 강동구 고덕로 131 강동롯데캐슬퍼스트
아파트 126동 2402호

명세서

청구범위

청구항 1

복수 개의 스커미온이 형성되고, 스핀파가 전달되는 자성박막;

상기 자성박막의 적어도 일 측에 형성되며 서로 나란하게 형성되는 제1 도선 및 제2 도선; 및

상기 제1 도선 및 제2 도선에 전류를 공급하는 전원;을 포함하고,

상기 전원으로부터 상기 제1 도선 및 제2 도선에 공급되는 전류에 의하여 상기 자성박막에 형성된 상기 복수 개의 스커미온의 배열 형태가 조절되고,

상기 복수 개의 스커미온의 조절된 배열 형태에 따라서 상기 스핀파의 이동 경로가 변경되는 스핀파 전달 제어 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제1 도선 및 상기 제2 도선에 서로 반대 방향으로 전류가 흐를 경우, 상기 스커미온의 위치가 이동하는 것을 특징으로 하는 스핀파 전달 제어 소자.

청구항 4

제 3 항에 있어서,

상기 제1 도선 및 상기 제2 도선에 흐르는 전류의 방향이 바뀔 경우, 상기 스커미온의 이동 방향이 바뀌는 것을 특징으로 하는 스핀파 전달 제어 소자.

청구항 5

제 1 항에 있어서,

상기 복수 개의 스커미온이 2열로 나란히 배열되면, 스핀파가 직진 투과하는 것을 특징으로 하는 스핀파 전달 제어 소자.

청구항 6

제 1 항에 있어서,

상기 복수 개의 스커미온이 2열로 서로 엇갈리게 배열되면, 스핀파가 굴절되는 것을 특징으로 하는 스핀파 전달 제어 소자.

청구항 7

제 1 항에 있어서,

상기 스핀파의 검출을 위한 전류 신호 검출기를 더 포함하는 스핀파 전달 제어 소자.

발명의 설명

기술분야

[0001] 본 발명의 실시예들은 스핀파 전달 제어 소자에 관한 것으로, 더 상세하게는 스핀파의 전달을 제어하여 발열을 최소화하면서도 성능 및 신뢰성이 향상된 스핀파 전달 제어 소자에 관한 것이다.

배경 기술

[0002] CMOS 기반의 정보 처리 방법론은 다음과 같은 이유에서 한계가 예상된다. 첫째, 집적도 증가에 따라 게이트 산화막의 두께가 점점 작아져야 하지만, 게이트 산화막의 두께가 0.7nm 정도가 되면 전자가 게이트 산화막을 투과하게 되어 게이트 산화막이 더 이상 절연막으로서의 기능을 하지 못하게 된다. 둘째, 집적도 증가를 위해 도선의 폭을 감소시키면 전류 밀도의 증가로 인해 도선의 단락이 발생된다.

[0003] CMOS 기반의 정보 처리 방법론을 대체하기 위해서 전자, 즉 전하의 이동에 의한 정보 처리 방법에서 탈피하여 전자가 가지고 있는 양자적 특성인 스핀을 이용한 정보 처리 방법에 대한 연구가 수행되고 있다. 예를 들어, 나노 자성체에서의 솔리톤(soliton)을 이용한 자기 양자 셀 방식 자동장치(MQCA) 소자와 정보의 전달과 처리에 자성체에 발생된 스핀파를 응용하기 위한 연구가 수행되고 있다.

[0004] 스핀파란 스핀들이 파동의 형태로 집단적인 거동을 하는 것을 일컫는 말이다. 강자성체(ferromagnets), 반강자성체(antiferromagnets), 페리자성체(ferrimagnets) 등의 자성체에 에너지를 가하면 자성체 내부의 스핀들은 쌍극자-쌍극자 상호작용(dipole-dipole interaction), 교환 상호작용(exchange interaction)과 같은 서로 간의 자기적 상호작용에 의해 세차운동을 하여 파동의 형태를 띠게 된다. 이 파동이 스핀파이다.

[0005] 스핀파는 지배적인 상호작용에 따라 몇 가지로 나눌 수가 있다. 우선, 수십 μm 에서 수 cm에 이르는 파장을 가지며, 쌍극자-쌍극자 상호작용이 지배적인 정자파(magnetostatic wave)가 있다. 다음으로, 수 nm 이하의 파장을 가지며, 교환 상호작용이 지배적인 교환 스핀파(exchange spin wave)가 있다. 그리고 수 nm에서 수 μm 에 이르는 파장을 가지며, 쌍극자-쌍극자 상호작용과 교환 상호작용이 경쟁적으로 작용하여 생성되는 쌍극자-교환 스핀파(dipole-exchange spin wave)가 있다.

[0006] 이러한 스핀파를 발생시키는 방법은 다음과 같다. 예를 들어, 미국 등록 특허 제4,208,639호, 제4,316,162호 및 제5,601,935호에 의하면, YIG(yttrium iron garnet)와 같은 페리자성체의 박막 표면에 형성되어 있는 도선에 고주파의 교류 전류를 흘려 전자기파를 발생시키면, 발생된 전자기파와 페리자성체의 정자파와의 강한 결합에 의해 고주파의 정자파가 발생된다. 이러한 방법으로 발생된 정자파의 파장은 보통 10 μm 에서 1 mm의 크기를 가지게 된다. 그리고 한국 공개 특허 2007-0036673호에 의하면, 자기 소용돌이(magnetic vortex), 자기 반-소용돌이(magnetic antivortex) 스핀 구조가 단독 혹은 함께 존재하는 자성체에 에너지를 공급하면, 에너지 공급에 따라 상기 자기 소용돌이(magnetic vortex), 자기 반-소용돌이(magnetic antivortex) 스핀 구조의 중심부로부터 국소적으로 쌍극자-교환 스핀파가 발생된다. 그러나 상기 스핀파 발생 방법들에 의해 생성된 스핀파는 다양한 주파수 및 파장을 가진 스핀파들이 동시에 발생된다. 따라서 정보처리소자로 스핀파를 이용하기 위해서는 이용하려는(원하는) 주파수대 및 파장영역을 가지도록 스핀파를 선택할 수 있는 스핀파 제어 방법이 필요하다.

[0007] 전술한 배경기술은 발명자가 본 발명의 도출을 위해 보유하고 있었거나, 본 발명의 도출 과정에서 습득한 기술 정보로서, 반드시 본 발명의 출원 전에 일반 공중에게 공개된 공지기술이라 할 수는 없다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시예들은 스핀파 전달 제어 소자를 제공한다.

과제의 해결 수단

[0009] 본 발명의 일 실시예는 복수 개의 스커미온이 형성된 자성박막; 상기 자성박막의 적어도 일 측에 형성되며 서로 나란하게 형성되는 제1 도선 및 제2 도선; 상기 제1 도선 및 제2 도선에 전류를 공급하는 전원; 및 상기 복수 개의 스커미온 측으로 생성된 스핀파를 전달하는 전선;을 포함하는 스핀파 전달 제어 소자를 개시한다.

[0010] 본 실시예에 있어서, 상기 제1 도선 및 제2 도선은 상기 스커미온 배열의 위치를 조절할 수 있다.

[0011] 본 실시예에 있어서, 상기 제1 도선 및 상기 제2 도선에 서로 반대 방향으로 전류가 흐를 경우, 상기 스커미온의 위치가 이동할 수 있다.

[0012] 본 실시예에 있어서, 상기 제1 도선 및 상기 제2 도선에 흐르는 전류의 방향이 바뀔 경우, 상기 스커미온의 이

동 방향이 바뀔 수 있다.

- [0013] 본 실시예에 있어서, 상기 복수 개의 스커미온이 2열로 나란히 배열되면, 스핀파가 직진 투과할 수 있다.
- [0014] 본 실시예에 있어서, 상기 복수 개의 스커미온이 2열로 서로 엇갈리게 배열되면, 스핀파가 굴절될 수 있다.
- [0015] 본 실시예에 있어서, 상기 스핀파 검출을 위한 전류 신호 검출기를 더 포함할 수 있다.
- [0016] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0017] 본 발명의 실시예들에 관한 스핀파 전달 제어 소자에 의해, 전자의 수송에 동반되는 열손실을 최소화하여 냉각 부하 및 에너지 소비를 크게 낮출 수 있다.

도면의 간단한 설명

- [0018] 도 1은 스커미온의 기본적인 특성인 비대칭적 산란을 나타내는 도면이다.
- 도 2는 스커미온 어레이 배열을 이용하여 스핀파가 굴절되는 양태를 나타내는 도면이다.
- 도 3은 국소 자기장을 이용한 스커미온 재배열을 나타내는 도면이다.
- 도 4는 스커미온의 재배열을 이용하여 스핀파를 제어하는 과정을 나타내는 도면이다.
- 도 5a 및 도 5b는 초기 스커미온 배열을 만드는 과정을 나타내는 도면이다.
- 도 6은 도 5a 및 도 5b와 같이 초기 스커미온 배열을 만드는데 있어서, 국소 발열 효율 증가를 위한 구성을 나타내는 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 스핀파 제어를 통한 복합기능 소자를 개략적으로 나타내는 도면이다.
- 도 8은 본 발명의 일 실시예에 따른 스핀파 전달 제어 소자를 적용한 마그논닉 트랜지스터(Magnonic Transistor)를 개략적으로 나타내는 도면이다.
- 도 9는 본 발명의 일 실시예에 따른 스핀파 전달 제어 소자를 적용한 마그논닉 논리 소자(Magnonic Logic)를 개략적으로 나타내는 도면이다.
- 도 10은 본 발명의 일 실시예에 따른 스핀파 전달 제어 소자를 적용한 마그논닉 홀로그래픽 메모리(Magnonic Holographic Memory)를 개략적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다. 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 또한, 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0021] 현재 널리 사용되고 있는 전자 소자는 전자의 이동을 외부 전기장을 통해 제어하는 방식을 기반으로 한다. 하지만 전자의 이동 과정에서 발생하는 열로 인해 전자 소자가 성능을 최대한 발휘하지 못할 뿐만 아니라 신뢰성 저하의 원인이 되고 있다.

- [0022] 최근에는 전자 대신 스핀파를 제어하는 방법이 기존 전자 소자의 한계를 극복할 수 있는 방법으로 인식되고 있다. 스핀파는 전자기파에 비해 파장이 훨씬 짧아 동일 주파수 영역에서 매우 작은 소자를 제작하는데 용이하며 주파수의 독립적인 파장, 위상, 굴절률 제어가 가능하여 차세대 정보통신기기, 전자제품의 초소형화, 고성능화에 기여할 것으로 기대되고 있다.
- [0023] 이러한 관점에서, 본 발명의 일 실시예에 따른 스핀파 전달 제어 소자는 소정의 마그논닉(magnonics) 소자를 이용하여 스핀파를 제어하는 것을 특징으로 한다. 여기서 마그논닉(magnonics) 소자는 자화 상태를 변화시켜 동작 특성을 조절하는 것을 특징으로 하며, 투자율과 자화값이 주기적으로 변하는 물질인 자성 메타 물질을 이용하여 특정 주파수에서 스핀파의 선택적인 전달을 수행함으로써 스핀파를 제어하는 것을 일 특징으로 한다.
- [0024] 기존의 전자기파를 이용한 소자 대신 스핀파를 이용한 소자를 적용하면 다음과 같은 장점이 존재한다.
- [0025] 먼저, $\lambda_{\text{스핀파}} \ll \lambda_{\text{전자기파}}$ 이므로, 동일 주파수 영역에서 매우 작은 소자를 제작하는 것이 용이해지고, 따라서 초고밀도 메모리 소자의 제작이 가능해진다. 다음으로, 주파수의 독립적인 파장, 위상, 굴절률 제어가 가능하여, 차세대 정보통신기기, 전자제품 등의 초소형화, 고성능화와 같은 차세대 원천기술의 구현이 가능해진다. 또한, 자성체의 비휘발성 특성으로 인해 나노초의 시간 스케일에서 논리, 연산, 프로그래밍 소자로 적용하는 것이 가능해진다. 나아가, 스핀파는 외부 전류와 자기장을 이용하여 서브 나노초 펄스에서 스위칭이 가능하므로 초고속 프로그래밍 소자로 적용 가능하다는 장점이 존재한다.
- [0026] 본 발명에서는 이와 같이 전자가 아닌 스핀파의 전달을 제어하여 기존 전자 소자와 유사한 기능성을 가질 뿐만 아니라 발열 문제를 최소화하여 성능 및 신뢰성을 극대화하는 스핀파 전달 제어 소자를 제공하는 것을 일 특징으로 한다. 그리고 이와 같이 스핀파의 전달을 제어하기 위하여 스커미온의 배열을 제어하는 것을 일 특징으로 한다.
- [0027] 이를 더욱 상세히 설명하면 다음과 같다.
- [0028] 소자 내에서 국소적으로 자화 상태가 바뀐 부분을 스커미온이라고 하는데, 스핀파가 스커미온을 지날 때 스핀파의 비대칭적 산란이 일어나게 된다. 본 발명에서는 이와 같은 성질을 이용하여, 스커미온을 적절히 배열하고 또한 그 배열 상태를 조절함으로써 스핀파의 이동 경로를 제어할 수 있는 것이다.
- [0029] 도 1은 스커미온의 기본적인 특성인 비대칭적 산란을 나타내는 도면이다. 도 1을 참조하면, 스커미온은 스핀파를 비대칭적으로 산란시키는 것을 알 수 있다.
- [0030] 여기서, 스커미온을 두 줄로 배열하되, 두 줄이 나란하면 산란 상쇄로 인해 스핀파가 직진 투과하는 반면, 두 줄이 엇갈려서 배열되면 스핀파가 굴절된다. 이를 활용하면 스핀파의 전달을 스커미온 배열로 조절하는 단위 소자의 구현이 가능해진다.
- [0031] 도 2는 스커미온 어레이 배열을 이용하여 스핀파가 굴절되는 양태를 나타내는 도면이다.
- [0032] 도 2a는 스커미온이 1열로 배열된 모습을 나타내며, 스커미온은 스핀파를 비대칭적으로 산란시키고 있다.
- [0033] 도 2b는 스커미온이 2열로 나란히 배열된 모습을 나타낸다. 이와 같이 스커미온을 두 줄로 배열하되, 두 줄이 나란하면 산란 상쇄로 인해 스핀파가 직진 투과를 하게 된다.
- [0034] 도 2c는 스커미온이 2열로 나란히 배열된 모습을 나타낸다. 이와 같이 스커미온을 두 줄로 배열하되, 두 줄이 엇갈려서 배열되면, 산란 보강으로 인해 스핀파가 굴절하게 된다.
- [0035] 이와 같은 사상에 기초하여, 한 쌍의 전선을 설치하고 서로 반대 방향으로 전류가 흐르게 하면 전선쌍 사이에 위치하는 스커미온은 전선에서 유도된 자기장에 의해 이동하게 되며, 이를 이용하면 스커미온 배열 형태를 조절할 수 있다. 그리고, 스커미온의 배열 형태에 따라 스핀파 전달 특성이 조절되므로, 결과적으로는 직류 전류를 통해 소자의 스위칭이 가능하게 되는 것이다.
- [0036] 도 3은 국소 자기장을 이용한 스커미온 재배열을 나타내는 도면이다. 도 3에서는 교류 자기장에 의해 스커미온이 재배열되는 과정이 도시되어 있다.
- [0037] 도 3a를 참조하면, 수직 자성박막(110)에 두 개의 스커미온(121)(122)을 형성하고, 이 자성박막(110)의 위쪽에 60 nm의 간격을 두고 두 개의 도선(131)(132)에 전류가 흐르는 상황을 가정하였다. 이때 두 개의 도선(131)(132) 간의 간격은 200 nm로 가정하였다.
- [0038] 이 상태에서, 제1 도선(131)에 화살표 A 방향으로 전류가 흐르고, 제2 도선(132)에는 화살표 B 방향으로 전류가

흐를 경우, 제1 도선(131) 주변에는 화살표 C 방향으로 자기장이 형성되고, 제2 도선(132) 주변에는 화살표 D 방향으로 자기장이 형성된다.

- [0039] 이와 같이 도선(131)(132) 주위에 자기장이 발생하면, 공간상에 균일하지는 않지만 기울어진 자기장이 스커미온(121)(122)에 인가되게 된다. 그리고 이렇게 전류를 흘려주게 되면 스커미온(121)(122)이 상대적으로 이동하게 되는 것을 볼 수 있다.
- [0040] 여기서 중요한 것은 전류의 방향을 바꾸면 스커미온의 이동방향이 바뀐다는 것이다. 즉, 도 3b에 도시된 바와 같이 나란히 배열된 두 개의 도선(131)(132)에서, 제1 도선(131)에 화살표 A 방향으로 전류가 흐르고, 제2 도선(132)에는 화살표 B 방향으로 전류가 흐를 경우, 제1 스커미온(121)은 도면상에서 위로 이동하고 제2 스커미온(122)은 도면상에서 아래로 이동한다.
- [0041] 반면, 도 3c에 도시된 바와 같이 나란히 배열된 두 개의 도선(131)(132)에서, 제1 도선(131)에 화살표 A의 반대 방향으로 전류가 흐르고, 제2 도선(132)에는 화살표 B의 반대 방향으로 전류가 흐를 경우, 제1 스커미온(121)은 도면상에서 아래로 이동하고 제2 스커미온(122)은 도면상에서 위로 이동한다.
- [0042] 즉, 도 3b에 도시된 바와 같이 나란히 배열된 두 개의 도선(131)(132)에 흐르는 전류의 방향을 바꾸면, 스커미온(121)(122)의 이동 방향이 바뀐다.
- [0043] 이러한 현상을 이용하면 스커미온의 상대적인 위치를 제어할 수 있으며, 스커미온의 상대적인 위치를 제어함으로써 스핀파의 굴절현상도 제어할 수 있는 것이다.
- [0044] 도 4는 스커미온의 재배열을 이용하여 스핀파를 제어하는 과정을 나타내는 도면이다.
- [0045] 먼저, 도 4a에 도시된 바와 같이 스커미온을 두 줄로 배열하되, 두 줄이 서로 엇갈리도록 스커미온을 배열한다.
- [0046] 이 상태에서, 도 4b에 도시된 바와 같이 스핀파를 ON 하면, 산란 보강으로 인해 스핀파가 굴절하게 된다.
- [0047] 이 상태에서, 도 4c에 도시된 바와 같이 스핀파를 OFF한 후, 도 4d에 도시된 바와 같이 나란히 배열된 두 개의 도선에 전류를 흘려주면, 스커미온이 재배열되어 두 줄의 스커미온이 서로 나란하게 배열된다.
- [0048] 이 상태에서, 도 4e에 도시된 바와 같이 스핀파를 ON 하면, 산란 상쇄로 인해 스핀파가 직진 투과를 하게 된다.
- [0049] 이 상태에서, 도 4f에 도시된 바와 같이 스핀파를 OFF한 후, 도 4g에 도시된 바와 같이 나란히 배열된 두 개의 도선에 전류를 흘려주되 도 4d와 반대 방향으로 전류를 흘려주면, 스커미온이 재배열되어 두 줄의 스커미온이 서로 엇갈리도록 배열된다.
- [0050] 이하에서는 초기 스커미온 배열을 만드는 과정에 대해 보다 상세히 설명하도록 한다.
- [0051] 도 5a 및 도 5b는 초기 스커미온 배열을 만드는 과정을 나타내는 도면이고, 도 6은 도 5a 및 도 5b와 같이 초기 스커미온 배열을 만드는데 있어서, 국소 발열 효율 증가를 위한 구성을 나타내는 도면이다.
- [0052] 도 5a 및 도 5b를 참조하면, 초기 스커미온 배열을 만들기 위해서는 외부 자기장을 인가하는 가운데 스커미온 영역에 해당하는 부분의 온도를 국소적으로 높여 주어야 한다. 즉, 국소적으로 특정 영역의 온도를 높이기 위해, 자성 박막 위를 양극 산화 알루미늄(Anodic Aluminum Oxide, AAO) 등으로 덮고, 위에서 적외선을 조사해 주어서 AAO의 개구부에 대응하는 영역만 가열하는 방법이 적용될 수 있다. 또는 AAO를 마스크로 하여 전도성 패턴 배열을 제작하고, 여기에 레이저를 조사하여 패턴이 위치하는 부분만 광열 효과에 의해 국소적으로 가열하는 방법 등이 적용될 수도 있다.
- [0053] 도 6을 참조하면, 초기 스커미온 배열을 만드는데 있어서, 국소 발열 효율 증가를 위해 금속 층과 금속 산화물 층이 번갈아 적층된 구조를 적용하여, 빛의 흡수를 극대화 할 수 있다. 이와 같이 광열 효과를 이용하여 발열하는데 있어서 빛을 흡수하는 나노 패턴의 구조 및 소재는 중요한 역할을 수행할 수 있다.
- [0054] 도 7은 본 발명의 일 실시예에 따른 스핀파 제어를 통한 복합기능 소자를 개략적으로 나타내는 도면이다. 도 7을 참조하면, 스핀파 파장, 스커미온의 크기 및 배열 상태가 스핀파의 산란 각도를 결정하며, 스커미온이 주기적으로 배열된 자성 메타 물질로 특정 주파수의 스핀파를 선택적으로 전달하는 소자를 구현할 수 있게 되는 것이다.
- [0055] 도 8은 본 발명의 일 실시예에 따른 스핀파 전달 제어 소자를 적용한 마그논닉 트랜지스터(Magnonic Transistor)를 개략적으로 나타내는 도면이다. 이와 같은 마그논 트랜지스터(Magnon Transistor)는 게이트(Gate)에서의

스커미온의 배열 상태에 따라 소스-드레인(Source-Drain) 간 스핀과 전달에 차이가 있다.

- [0056] 도 8과 같이 게이트 마그논(Gate magnon) 있을 경우, 소스로부터 마그논이 주입되면, 게이트에서 산란되어 변형(distortion)을 거친 후, 드레인에서 검출된다. 한편, 도 8에는 도시되지 않았지만, 게이트 마그논(Gate magnon)이 없을 경우, 소스로부터 마그논이 주입되면, 변형없이 드레인에서 검출된다. 즉, 마그논(magnon)을 마그논(magnon)으로 제어하는 방법이며, 이에 의해 전자의 수송에 동반하는 열손실의 감소를 초래하고, 결과적으로 에너지 소비를 낮출 수 있다.
- [0057] 이를 더욱 상세히 설명하면 다음과 같다.
- [0058] 도 8a의 트랜지스터는 그 표면에 평행한 홈 어레이(array of parallel grooves)를 갖는 YIG(yttrium iron garnet) 박막이 형성된 마그노닉 결정에 기초한다. 상기 마그노닉은 상기 트랜지스터의 소스로 주입되고, 마이크로 안테나를 구비한 드레인에서 검출된다. 상기 소스-to-드레인 간 마그논 흐름을 제어하는 마그논은 동일한 안테나를 구비한 마그노닉 결정(즉, 트랜지스터의 게이트)으로 바로 주입된다.
- [0059] 도 8b는 브릴루앙 산란 분광기(Brillouin light scattering spectroscopy)를 이용하여 소스 마그논이 없을 때의 게이트 마그논의 공간 분포를 측정한 그래프이다. 강한 마그논 지역화와 정상파(standing-wave) 같은 intensity profile의 형성을 볼 수 있다. intensity profile의 비대칭은, 인접한 홈의 동적 탈자기장(dynamic demagnetizing field)에 영향받은 마이크로스트립 안테나(microstrip antenna)에 의한 주입 메커니즘에 기인한 것일 것이다.
- [0060] 도 8c를 참고하면, 게이트 영역으로의 게이트 마그논(붉은 구)의 주입을 통해, 마그논 트랜지스터는 소스-to-드레인 마그논 전류(푸른 구)를 억제하도록 한다. 비선형적인 네 개의 마그논 분산 메커니즘은 트랜지스터의 동작 원리의 원인이 된다. 즉, 트랜지스터의 소스로부터의 마그논이 게이트 영역으로 들어올 때, 이 마그논들은 게이트 마그논들에 의해 분산되고, 따라서 감쇠된 상태로 트랜지스터의 드레인에 도달하게 된다. 상기 결정 내의 높은 정도의 게이트 마그논의 분포는 결과적으로 상기 마그노닉 결정에 의해 제공되는 높은 분산 확률을 야기하고, 따라서 비선형적 효과들을 증가시킨다. 분산에 의해 생성된 부차적인 매그논들(secondary magnons)은 큰 파동 벡터와 작은 그룹 속도를 가지며, 이는 그들의 흐름이 게이트 영역 밖으로 흐르는 것을 방지한다.
- [0061] 도 9는 본 발명의 일 실시예에 따른 스핀과 전달 제어 소자를 적용한 마그노닉 논리 소자(Magnonic Logic)를 개략적으로 나타내는 도면이다. 도 8의 마그노닉 트랜지스터(Magnonic Transistor)를 조합하면 다양한 논리 연산이 가능한 복합기능 소자를 구현할 수 있다.
- [0062] 도 9를 참조하면, 마이크로 펄스에 의해 도파로(WAVE GUIDE)에서 스핀파가 여기한 후, 마이크로 안테나에 의해 스핀파가 분리(split)되고, 각각의 경로(path) 아래에 전류 제어 컨덕터(conductor)가 설치되고, 전류에 의한 자기장 생성으로 스핀과 전달에 위상차를 만듦으로써 논리 소자를 구현할 수 있다.
- [0063] 상세히, 스핀파의 간섭현상 등 파동 특성을 이용하면 논리연산이 가능해진다. 즉, 마그논 물질로부터 스핀파가 두 경로로 갈라지면서 스핀파는 서로 다른 경로를 동일한 위상, 진폭을 가지며 진행하게 된다. 이때 두 경로 사이에 도선을 두어 외부 전류를 흘려주면, 유도 자기장이 발생하고 스핀파 주파수에 대한 파동벡터가 변하여 두 경로를 따라 진행되는 스핀파는 다른 위상을 가지게 된다
- [0064] 두 경로가 다시 합쳐지는 지점에서 스핀파의 위상차에 의해 보강 및 소멸 간섭이 일어나고 스핀파의 진폭이 결정된다. 전류인가에 따라 두 경로를 통과하는 스핀파의 위상차가 180도이면 출력단자에서 중첩되는 스핀파는 소멸간섭되고, 전류가 흐르지 않는 경우에는 위상차는 0도이므로 출력단자에서는 보강간섭이 발생한다.
- [0065] 이와 같이 도선에 흘려주는 전류를 입력신호로 이용하고 출력단자의 스핀파 진폭을 출력신호로 이용하면, 도선에 전류가 흐르는 경우, 입력신호를 '1', 출력단자는 '0'을 출력하게 된다. 반대로 도선에 전류가 흐르지 않는 경우 (입력신호 '0') 출력단자는 '1'을 출력하게 되어 논리소자로서의 동작을 구현할 수 있는 것이다. 이 접근 방법으로 XNOR과 NAND 작동을 수행하는 마그논 논리 소자를 구현할 수 있다.
- [0066] 도 10은 본 발명의 일 실시예에 따른 스핀과 전달 제어 소자를 적용한 마그노닉 홀로그래픽 메모리(Magnonic Holographic Memory)를 개략적으로 나타내는 도면이다.
- [0067] 도 10을 참조하면, 본 발명의 일 실시예에 따른 스핀과 전달 제어 소자를 적용한 마그노닉 홀로그래픽 메모리는 모든 입력 포트가 병렬로 연결되어 초고속으로 동작할 수 있다. 그리고, 스핀파 중첩 현상을 이용해 내부 자기 메모리 상태를 인식함으로써 초고해상도 홀로그래피 기술을 구현할 수 있다. 즉, 기존의 홀로그래피 기술은 개체 빔과 위상이 맞는 물질 간의 간섭 현상 이용하였으므로 저해상도 일 수밖에 없는 문제점이 존재하였으나, 본

발명의 일 실시예에 따른 스핀파 전달 제어 소자를 적용한 마그논닉 홀로그래픽 메모리를 통해 초고해상도 홀로그래피 기술을 구현할 수 있는 것이다.

[0068] 상세히, 마그논닉스는 어떠한 실제 입자(예를 들어 '전자')의 이동 없이도 스핀 정보의 수송과 처리가 가능하므로 줄열(Joule Heating)이 발생하지 않는다. 또한 마그논 확산 거리는 스핀확산 거리에 비해 수 오더(order) 크기 때문에 마이크로-스코픽한 범위에서의 스핀 정보의 수송이 가능하다. 또한 스핀파의 비선형 특성에 의해 새롭고 더욱 효과적인 정보 처리가 가능하다.

[0069] 따라서, 스핀파를 감지하고 여기하기 위하여, 마이크로 안테나를 가지고 자기 매트릭스로 구성된 단말 장치를 구축할 수 있다. 이때 마이크로 안테나는 패턴을 생성하고 검출하도록 해주는 역할을 수행한다. 여기서, 스핀파는 자기 매트릭스와 간섭을 통해서 전파되며, 일부 입력 위상 패턴은 높은 출력 전압을 생성하고, 다른 조합은 낮은 출력 전압을 생성한다. 기준 전압에 따라 정의되는 'high'와 'low'는 만약 출력 전압이 1mV보다 크면 높아지고, 전압이 1mV보다 낮으면 낮아진다. 이와 같이 매그는 매트릭스를 통한 실험 데이터는 특정 위상 패턴에 해당하는 고유한 출력 신호를 보여줄 수 있다.

[0070] 본 발명의 실시예들에 관한 스핀파 전달 제어 소자에 의해, 전자의 수송에 동반되는 열손실을 최소화하여 냉각 부하 및 에너지 소비를 크게 낮출 수 있다.

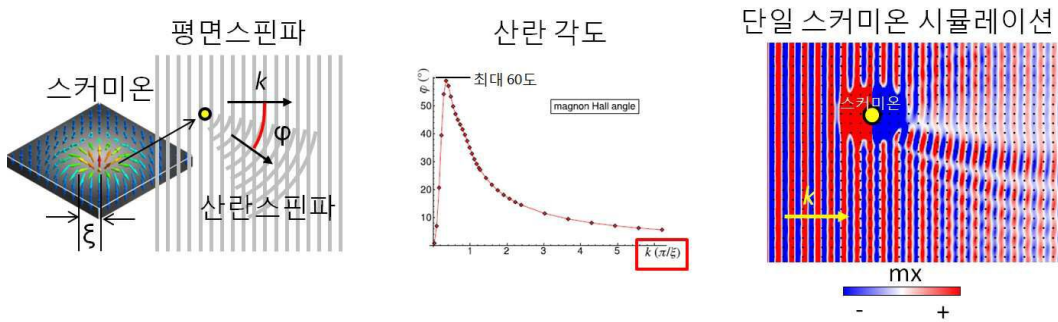
[0071] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

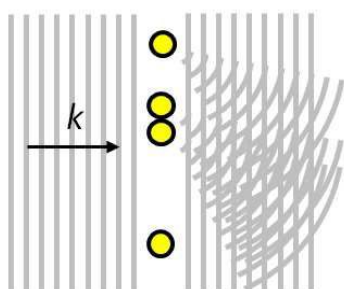
- [0072] 110: 자성박막
- 121, 122: 스커미온
- 131, 132: 도선

도면

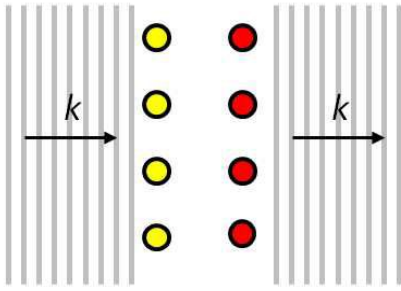
도면1



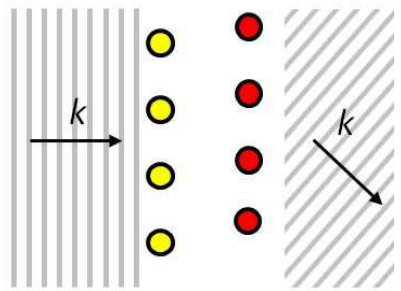
도면2a



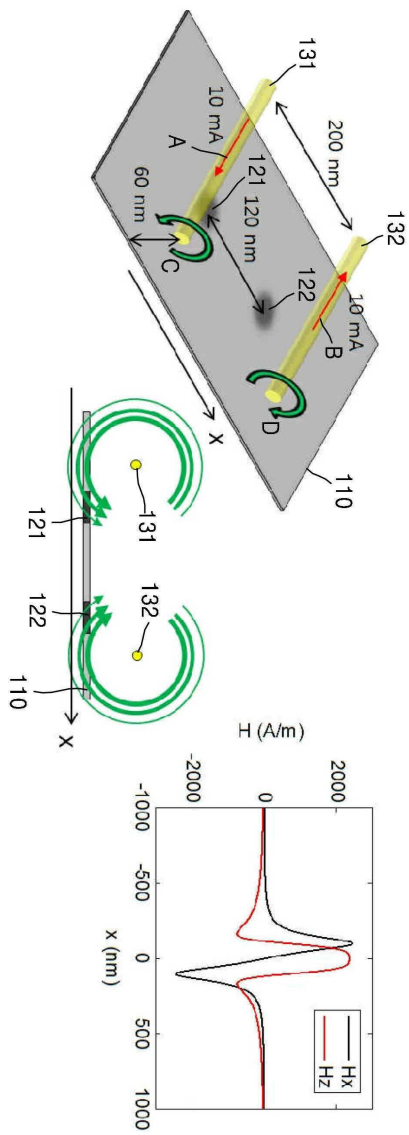
도면2b



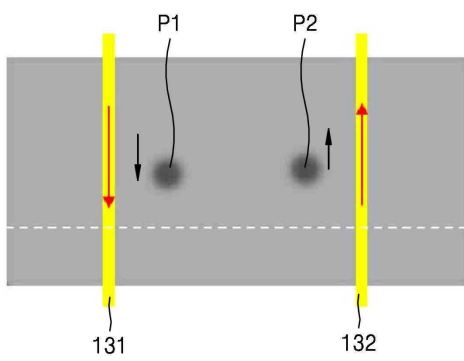
도면2c



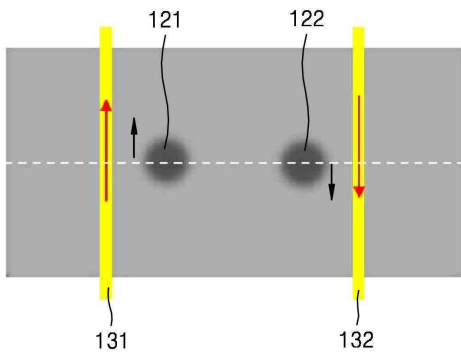
도면3a



도면3b



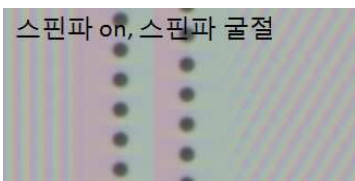
도면3c



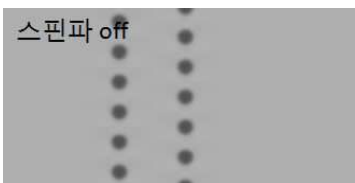
도면4a



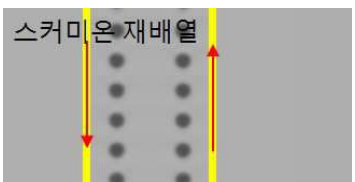
도면4b



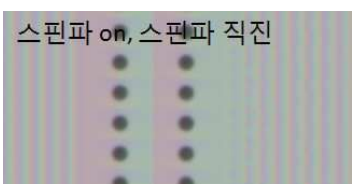
도면4c



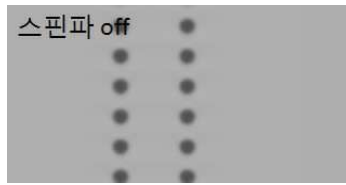
도면4d



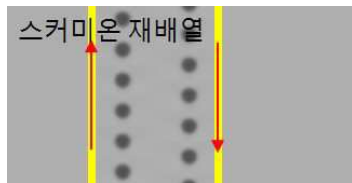
도면4e



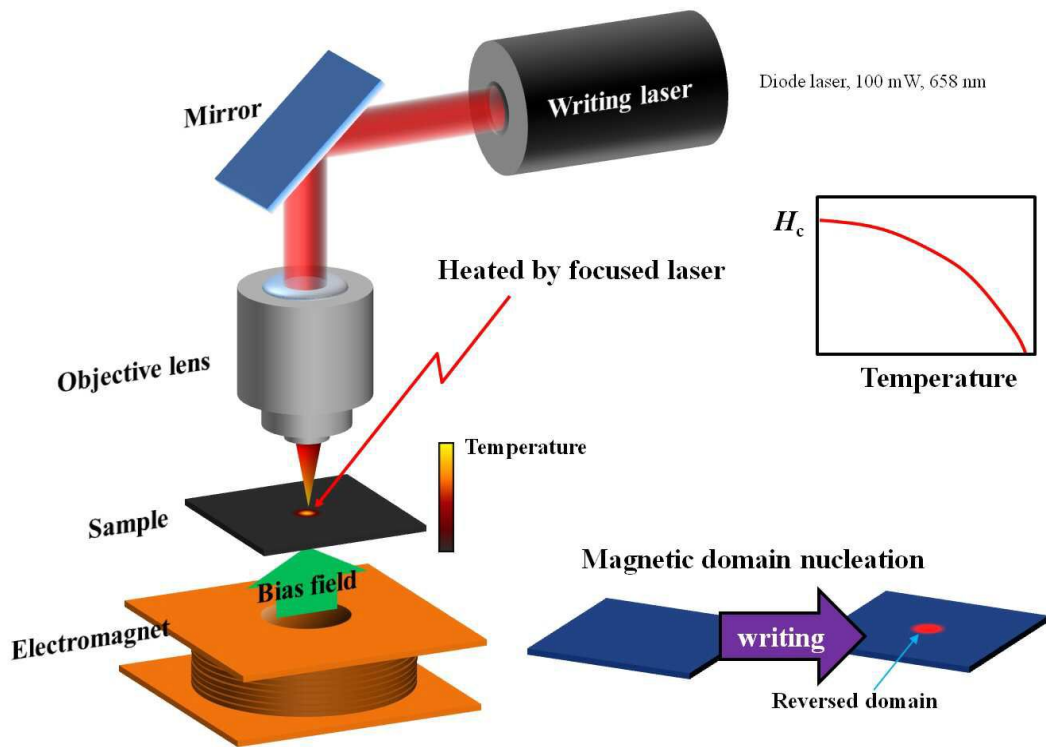
도면4f



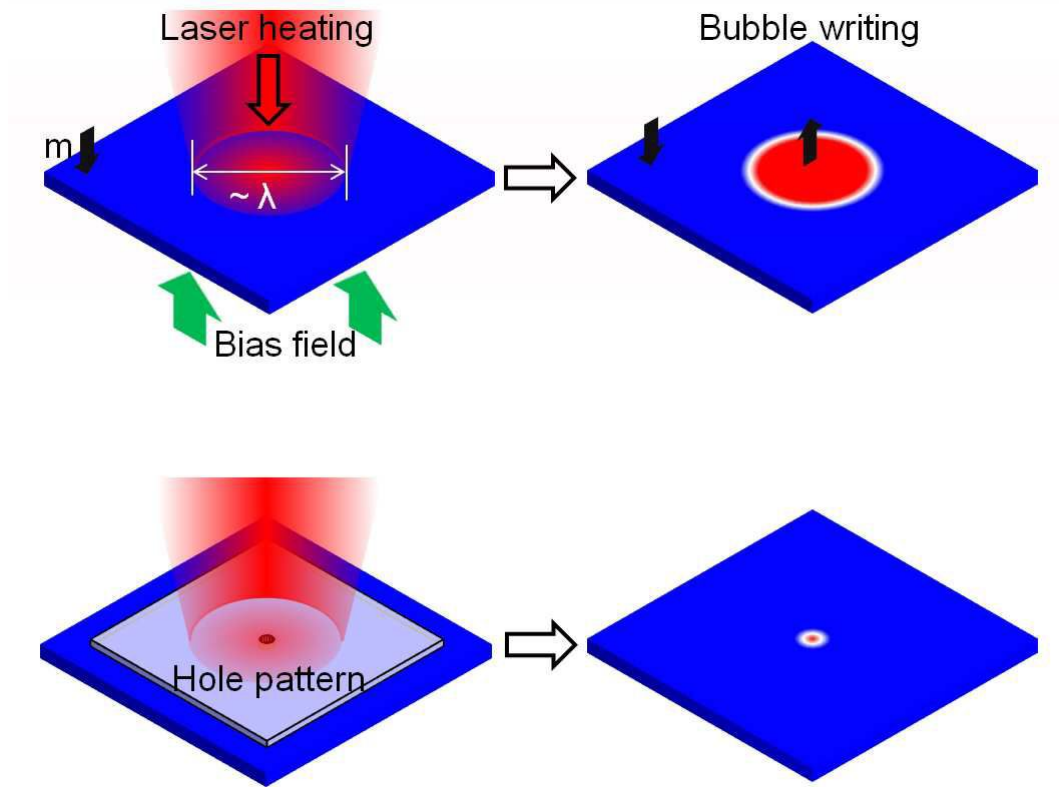
도면4g



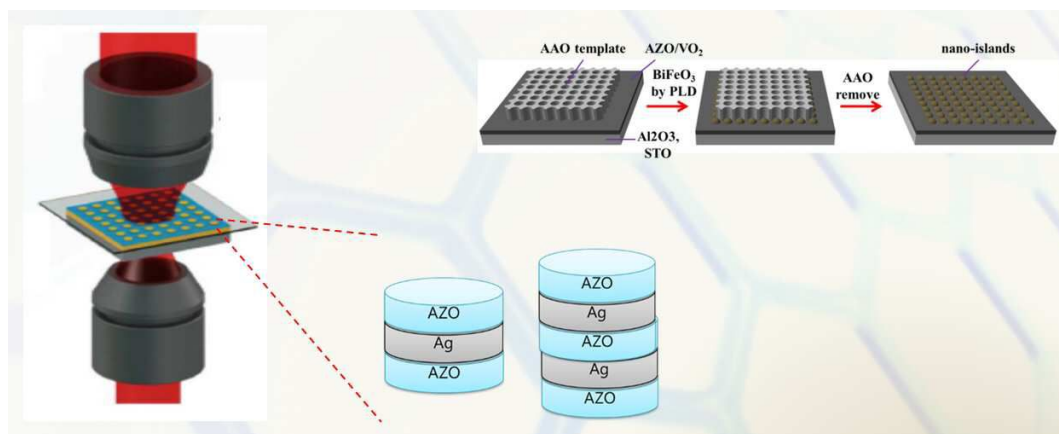
도면5a



도면5b



도면6



도면10

Magnonic Holographic Memory

